COMPOSANTS DE L'ÉLECTRONIQUE LOGIQUE

F. DEVOS

Institut d'Electronique Fondamentale, Bat. 220, Université de Paris Sud, F-91405 Orsay Cedex, France

PLAN**1 LES SEMI-CONDUCTEURS.**

- 1-1 Diagramme de bande, Diagramme énergétique**
- 1-2 Electrons et "trous"**
- 1-3 Semi-conducteur dopé**
- 1-4 Loi d'équilibre de la densité des porteurs**
- 1-5 Effets photo-électriques**

2 DIODES A SEMI-CONDUCTEURS

- 2-1 Equilibre thermodynamique et potentiel de jonction**
- 2-2 Zone de charge d'espace**
- 2-3 Polarisation d'une jonction**
 - 2-3-1 Jonction d'une diode "longue" polarisée en direct
 - 2-3-2 Diode à base "courte" polarisée en direct
- 2-4 Photosensibilité**
- 2-5 Modélisation de la diode**
- 2-6 Diode en commutation de l'état bloqué à l'état passant**
 - 2-6-1 Attaque en tension
 - 2-6-2 Attaque en courant
- 2-7 Diode en commutation de l'état passant à l'état bloqué**
- 2-8 "Compensation" d'une diode**
 - 2-8-1 Sens passant-bloqué
 - 2-8-2 Sens bloqué-passant

3 TRANSISTORS BIPOLAIRES EN COMMUTATION.

- 3-1 Effet transistor**
- 3-2 Bilan des flux de charges, efficacité d'injection**
- 3-3 Equations fondamentales du transistor bipolaire.**
- 3-4 Phénomènes limitant la fonction des transistors**
- 3-5 Régimes de fonctionnement du transistor**
 - 3-5-1 Fonctionnement normal ($V_{be} > 0$, $V_{bc} < 0$)
 - 3-5-2 Mode bloqué ($V_{be} < 0$, $V_{bc} < 0$)
 - 3-5-3 Mode saturé
- 3-6 Commutation du transistor**
 - 3-6-1 Description qualitative du phénomène de commutation.
 - 3-6-2 Commutation bloqué-passant.
 - 3-6-3 Commutation passant-bloqué.

3-6-4 Consommation de puissance en cours de commutation

3-6-5 Compensation des transistors en commutation

3-7 Commutation d'un montage Darlington

3-8 Commutation du transistor de puissance

3-8-1 Commutation à l'ouverture d'une charge selfique

3-8-2 Commutation à la fermeture

4 - En résumé

4 TRANSISTORS A EFFET DE CHAMP EN COMMUTATION

4-1 Fonctionnement du transistor à l'effet de champ MOS.

4-1-1 Principe de fonctionnement

4-1-2 Régime résistif

4-1-3 Régime source de courant

4-1-4 Equations des transistors MOS

4-2 Montages de base à transistor MOS

4-3 Modélisation du MOS

4-4 Commutation du MOS

4-4-1 Aspects qualitatifs

4-4-2 Evaluation de $t_{\text{doff}} (= t_1)$

4-4-3 Evaluation de $t_f (= t_2 + t_3)$

4-4-4 Temps de retard t_{don} à la commutation passant/bloqué

4-4-5 Temps de montée de la tension de sortie t_r

4-5 Optimisation de la commutation du transistor MOS

4-6 "Switch" à transistor MOS

5 LOGIQUE ELECTRONIQUE.

5-1 de l'analogique au numérique.

5-1-1 introduction.

5-1-2 Matériel de base de l'électronique logique.

5-1-3 Fonction de régénération

5-2 Etude de l'inverseur

5-2-1 Caractéristique statique de l'inverseur NMOS

5-2-2 Caractéristique statique de l'inverseur CMOS

5-2-3 Fonctionnement dynamique de l'inverseur NMOS.

5-3 De l'étude électrique au dessin.

5-3-1 Etapes de fabrication d'un circuit MOS.

5-3-2 Etapes de fabrication d'un transistor bipolaire (npn)

5-3-3 Règles de dessin.

5-3-4 Dessin d'un inverseur NMOS

5-4 Panorama des différentes familles technologiques.

5-4-1 Briques de base.

5-4-2 Logique TTL.

5-4-3 Porte I²L.

5-4-4 La logique ECL.

5-4-5 Logique MOS.

Bibliographie

Physics of 1/2 conducteurs Devices.

S.M. Sze Wiley International Edition.

Dispositifs et Circuits Intégrés à 1/2 conducteurs.

A Vapaille et R. Castagné Dunod

1 LES SEMI-CONDUCTEURS.

1-1 Diagramme de bande, diagramme énergétique

Un atome seul possède un certain nombre de niveaux énergétiques discrets correspondant à l'occupation par les électrons d'orbitales "probabilistes" quantifiées. Dans un cristal, les couplages entre tous les atomes démultiplient chaque niveau discret en une "infinité infiniment proche" et confèrent au cristal une structure de bandes continues, isolées par des zones qui restent interdites. La figure 1-1 illustre cette transformation et permet d'introduire la notion de bande de conduction, bande de valence, électron de conduction (ou électron libre) et électron de valence (ou électron lié). Il est à remarquer que l'on peut donner une certaine interprétation géométrique à ce genre de diagramme énergétique ; en effet, si l'axe horizontal figure explicitement une direction du réseau cristallin, l'axe vertical (des énergies), peut représenter une distance moyenne radiale probable de l'électron au noyau au moins jusqu'à la bande de valence incluse.

Dans un isolant, l'énergie de "Gap" séparant la bande de valence et la bande de conduction est de plusieurs électrons-volts. Au zéro degré de température (0 K), la bande de conduction est vide. A température ambiante (300 K), l'énergie moyenne des électrons est de 25 mV et donc, par agitation thermique, très peu d'électrons parviennent à la bande de conduction. Dans un isolant, le nombre de porteurs libres reste donc très

faible.

En dehors des phénomènes de supraconductivité, même près du zéro degré absolu, la bande de conduction des métaux est partiellement pleine. Les électrons concernés sont libres d'aller dans tout le cristal sous l'influence d'un champ électrique, le milieu est donc conducteur, même à très basse température.

Dans un semi-conducteur, l'énergie de Gap E_g est de l'ordre de l'électron-volt, et la bande de conduction, qui est vide au zéro absolu, peut se remplir faiblement mais significativement à une température non nulle par exemple, à 300 K, pour le germanium, $E_g \# 0,72 \text{ eV}$ et la densité d'électrons libres n_i est de l'ordre de 10^{13} cm^{-3} . Pour le silicium, dans les mêmes conditions, $E_g \# 1,1 \text{ eV}$ et $n_i \# 10^{10} \text{ cm}^{-3}$.

La répartition énergétique des électrons d'un cristal semi-conducteur suit naturellement la statistique de Fermi et donc la densité de probabilité, pour un électron, de se trouver dans un état d'énergie W suit la loi :

$$f(w) = \frac{1}{1 + \exp\left(\frac{w - w_f}{kT}\right)}$$

ou W_f désigne une énergie de normalisation dite "de Fermi".

FIGURE 1-2. Densité des porteurs libres en fonction de leur énergie

FIGURE 1-3. Effet d'un champs électrique sur l'énergie libre des électrons et trous. Les collisions conduisent à un écoulement visqueux.

De cette loi, on déduit la loi de densité des électrons libres, par un calcul intégral sur les électrons d'énergie supérieure à W_c (limite de la bande de conduction) :

$$n_{\text{libres}} = n_{w \geq w_c} = \frac{N_c}{\exp\left(\frac{w_c - w_f}{kT}\right)}$$

N_c est une constante de normalisation qui prend en compte le nombre d'états.

L'énergie libre, sous forme d'énergie cinétique, d'un électron libre d'énergie w_o ($\geq w_c$) est donnée par la différence $\Delta w_o = (w_o - w_c)$. La densité d'électrons libres d'énergie libre supérieure à Δw_o est donc une loi de type "Boltzmann" :

$$n_{w \geq w_c + \Delta w_o} = \frac{N_{\text{libre}}}{\exp\left(\frac{\Delta w_o}{kT}\right)}$$

1-2 Electrons et "trous"

Dans un semi-conducteur pur, dit "intrinsèque", les électrons libres sont créés par arrachement d'électrons de valence du réseau. Un électron libre laisse alors un "trou" vide. L'énergie thermique du cristal (des électrons libres en particulier) est utilisée dans l'échange énergétique de création d'une paire électron-trou. L'électron est alors dit "libre" parce qu'il peut se déplacer à énergie constante à travers le cristal. Remarquons alors que le trou laissé dans la bande de valence peut être comblé par un électron de valence voisin et de même niveau énergétique. Cet électron, en comblant ce trou, en crée malgré tout un autre sur l'atome d'où il vient. Ainsi, de comblement en comblement, un trou peut se déplacer dans le cristal d'atome en atome, comme s'il était libre. On peut modéliser ce trou par une pseudo-particule libre, de charge positive, ayant une masse, et réagissant au champ électrique. Ce trou peut donc participer à l'installation d'un courant électrique qui vient s'ajouter au courant d'électrons (Figure 1-3). La mobilité des électrons μ_n est différente de celle des trous μ_p aussi, en régime d'écoulement "visqueux", la densité de courant j dans un semi-conducteur, soumis au champ E est-elle donnée par :

$$\vec{j} = \sigma \cdot \vec{E} = q \cdot \vec{E} \cdot (n \cdot \mu_n + p \cdot \mu_p)$$

σ est la conductivité, n et p sont respectivement les concentrations d'électrons et de trous. Bien sûr, pour un semi-conducteur intrinsèque (pur ou de concentration compensée en impuretés), les charges libres sont d'origine thermique et $n = p = n_i$ donc :

$$\sigma_i = q \cdot n_i \cdot (\mu_n + \mu_p)$$

Même en dehors de champs électriques appliqués, les porteurs libres sont animés d'une agitation thermique. Ils sont donc le siège de dérives, qui induisent de véritables courants électriques, s'ils sont soumis à un gradient de densité. Le flux de dérive est donné par la loi de Fick :

$$\Phi_n = -D_n \cdot \text{grad}(n)$$

où D_n désigne le coefficient de diffusion (lié à la mobilité et la température).

1-3 Semi-conducteur dopé

Le Silicium cristallise en un réseau cubique à face centrées (comme le diamant). Il appartient à la quatrième colonne du tableau de **Mendeleïef** donc chaque atome est relié à ses voisins par quatre liaisons covalentes. Chacun complète ainsi à huit le cortège électronique de sa couche de valence. Nous avons déjà vu que par agitation thermique, malgré tout, quelques liaisons sont cassées et que les électrons correspondants sont libres de se déplacer dans le cristal. Des "**trous**", vides d'électrons, sont situés dans la **bande de valence**. Ce sont des "quasi-particules", qui jouent un rôle identique aux **électrons libres** de la **bande de conduction**. Ils suivent la loi de Fermi ou plutôt "la différence à 1 de la loi de Fermi", applicable aux électrons. Leur répartition énergétique est alors donnée (figure 1-2), par la zone hachurée de "croisillons".

Nous avons vu que pour un semi-conducteur intrinsèque, les populations d'électrons libres (**n**) et de trous mobiles (**p**) sont égales. Or celles-ci suivent la même loi de répartition énergétique, symétrique par rapport au niveau de Fermi. Il faut donc que ce niveau de Fermi soit dans ce cas, situé au milieu du Gap (entre la bande de conduction et la bande de valence).

On peut, dans un cristal semi-conducteur, substituer à quelques atomes du réseau des atomes voisins dans la classification périodique ; par exemple substituer de l'**Arsenic** au Silicium. L'Arsenic a des dimensions atomiques proches de celles du Silicium, il peut s'intégrer dans le réseau cristallin, en respectant le même type de liaisons, mais comme il a, lui, cinq électrons périphériques, un électron ne peut participer aux quatre liaisons covalentes du cristal, cet électron est de trop, il est de ce fait très peu solidaire du noyau d'Arsenic, un peu comme l'électron célibataire d'un alcalin. Pratiquement, et sauf près du zéro absolu, l'énergie thermique ambiante suffit à libérer cet électron dans le cristal. Un atome d'arsenic, dans un réseau semi-conducteur, sera donneur d'électron.

Si dans un semi-conducteur de silicium qu'on croyait intrinsèque et dont la densité atomique est de l'ordre de $10^{22}/\text{cm}^3$, subsistent des traces d'Arsenic, à raison d'une partie par milliard (1 mg dans une tonne), on aura donc une teneur en impureté de **As** de $10^{13}/\text{cm}^3$ en concentration, qui libèreront 10^{13} électrons/ cm^3 . Si l'on se souvient que la densité de porteurs libres du Silicium pur est de l'ordre de $10^{10}/\text{cm}^3$, on devine l'influence des impuretés sur les propriétés d'un semi-conducteur. Dès que cette influence sera dominante, on dira que le semi-conducteur est dopé.

Nous avons parlé de l'Arsenic, mais le **Bore** de la troisième colonne, joue un rôle symétrique. Les trois électrons périphériques forment dans un réseau cristallin de Silicium, quatre liaisons covalentes, dont une incomplète. Celle-ci, équivalente à une liaison qui aurait libéré un électron, joue le rôle d'un trou mobile. Le Bore est un accepteur, sa présence se traduira par un apport important de trous.

L'Arsenic est une impureté de **type n**, elle apporte des électrons, le semi-conducteur est alors dopé **n**. Le Bore est une impureté de **type p**, elle apporte des trous, le semi-conducteur est alors dopé **p**.

La présence simultanée d'un dopant n, et d'un dopant p, de même concentration active, s'entre-compense et le semi-conducteur restera de "qualité" intrinsèque, c'est à dire équivalent au cristal pur.

1-4 Loi d'équilibre de la densité des porteurs

La coexistence de trous et d'électrons dans un semi-conducteur, intrinsèque ou non, est due à l'équilibre statistique d'un mécanisme réversible de création de paires électron-trou par apport d'énergie thermique :

Si l'on admet que tous les électrons et les trous libres, quelle que soit leur origine, se mettent à l'équilibre thermodynamique en suivant une loi de Fermi, dont la "forme" ne dépend que de la nature du semi-conducteur et de sa température, on doit admettre qu'un apport extérieur de l'un des constituants de réaction, doit se traduire par un déplacement global de l'équilibre.

Ce déplacement nécessitera évidemment (figure 1-4) un glissement de la courbe de Fermi, si l'on veut que les densités finales d'électrons et de trous soient différentes.

Avec un semi conducteur intrinsèque,

$$w_{Fi} = \frac{w_c + w_v}{2}$$

$$n_i = p_i = \frac{N_c}{\exp\left(\frac{w_c - w_v}{2kT}\right)} = \frac{N_c}{\exp\left(\frac{w_c - w_{fi}}{kT}\right)}$$

Supposons un semi-conducteur dopé **n** par **N_d** donneurs / cm³ (**N_d** >> **n_i**) et soit **n_n** et **p_n** les densités d'électrons et de trous (libres) dans ce cas.

$$n_{\text{libre}} = n_n = \frac{N_c}{\exp\left(\frac{w_c - w_{fd}}{kT}\right)} \# N_d$$

Ecrivons **N_d** sous la forme :

$$N_d = n_i \cdot \exp\left(\frac{\Delta w_d}{kT}\right)$$

et interprétons le Δw_d . Si on écrit n_{libre} sous la forme :

$$n_{\text{libre}} = \frac{N_c}{\exp\left(\frac{W_c - \frac{W_c + W_v}{2} - \Delta w_d}{kT}\right)} \approx N_d$$

on identifie immédiatement Δw_d au déplacement du niveau de Fermi, donc au glissement global de la courbe de Fermi (figure 1-4). On en déduit immédiatement qu'en première approximation :

$$p_n = n_i \cdot \exp\left(\frac{-\Delta w_d}{kT}\right)$$

et surtout que :

$$n_n \cdot p_n = n_i^2 = C^{\text{ste}}$$

Le déplacement de la réaction équilibrée, par un apport extérieur, se fait selon une loi d'action de masse très classique en thermo-chimie. Le raisonnement serait évidemment valable pour un dopage p :

$$n_p \cdot p_p = n_i^2$$

1-5 Effets photo-électriques

Comme tous les matériaux, les semi-conducteurs interagissent avec les photons. L'absorption d'un photon d'énergie supérieure à l'énergie

de gap se traduira par la création d'une paire d'électron/trou, donc la modulation de la densité des porteurs libres (figure 1-5).

A l'inverse, la recombinaison pourra entre autres phénomènes se traduire par l'émission cohérente ou non d'un photon. Ce deuxième mécanisme est malheureusement interdit pour le Silicium qui possède un gap indirect et ne se rencontre de fait que dans les semi-conducteurs composés tels que GaAs.

Le Silicium ne peut donc être commodément que photo-récepteur mais il peut l'être de deux manières : par un effet de photorésistance ou par un effet de photodiode. Le premier effet peut être précisé dès maintenant.

Un barreau de Silicium d'épaisseur suffisante et insolé par des photons de longueur d'onde inférieure à $1,1\mu\text{m}$ ($1,24/E_g$ en microns) va absorber ces photons et créer des paires de porteurs libres supplémentaires (Figure 1-6).

Soumis à un champ électrique transversal, par rapport au cas non éclairé,

ces porteurs ajoutés vont transporter un supplément de charge que l'on peut caractériser par un terme de gain obtenu en effectuant le rapport du supplément de charge électrique transportée au flux lumineux absorbé.

$$G = \Delta I / (e \cdot \Delta \Phi) = \tau_n / t_r$$

τ_n désigne la durée de vie moyenne des porteurs libres (habituellement entre 1 ms et 1 ns) et t_r le temps qui leur est nécessaire pour traverser le barreau. Dans ce phénomène, un gain supérieur à 1 est rendu possible par le fait que si une charge créée parvient au bout du barreau sans être recombinaisonnée, par effet électrostatique, elle permet à une autre charge de même nature de rentrer à l'autre extrémité du barreau et donc de poursuivre le transport d'électricité. Ceci dure jusqu'à ce que la charge "courante" soit recombinaisonnée. Ainsi lorsque $\tau_n > t_r$ un photon absorbé peut permettre le passage de nombreux électrons. On comprend ainsi que τ_n représente également la constante de temps de relaxation du phénomène et que si l'on favorise les conditions d'un gain fort, la résolution temporelle sera alors faible.

2 DIODES A SEMI-CONDUCTEURS

2-1 Equilibre thermodynamique et potentiel de jonction

Lorsque l'on colle par l'esprit deux semi-conducteurs dopés différemment et isolés, dont on suppose pouvoir raccorder parfaitement les réseaux cristallins, on met en contact à la fois pour les électrons libres et les trous, deux zones de densités différentes. Raisonnons d'abord pour les électrons et nous vérifierons ensuite que la contribution des trous se fait dans le même sens.

Supposons que nous partions de l'état initial décrit en figure 1-a. Nous avons une zone **n** en contact avec une zone **p** et un état de potentiel qui raccorde les bandes de conduction et de valence. Les populations électroniques libres sont représentées (discriminées en énergie), par les zones hachurées.

Les populations électroniques libres de part et d'autre de la jonction diffusent naturellement et ce, bien sûr en relation avec leur densité. Le flux de **n** vers **p** l'emporte donc très largement et cet excès de diffusion entraîne un défaut de couverture électronique des noyaux donneurs fixes et positifs de la zone **n**. Cette zone **n** supposée isolée de l'extérieur, est abandonnée par certains de ses électrons. Elle devient positive par rapport à la zone **p**. Cette variation de potentiel relatif va s'accompagner d'un glissement relatif des diagrammes énergétiques des deux semi-conducteurs (figure 1-b). En effet, une variation de $+1V$ du potentiel de la région **n** par rapport à la région **p** s'accompagnera d'une diminution de 1 eV de l'énergie de chaque électron de cette région par rapport à ceux de la région **p**. Autrement dit, au cours de la migration électronique de la

région **n** vers **p**, on aura simultanément un glissement "vers le bas" du diagramme de bande de cette même zone **n**.

Dans cette dynamique, les électrons de la zone **n** se trouvent partagés en deux populations, ceux qui, énergétiquement, sont encore en correspondance avec la bande de conduction de la zone **p** et ceux qui se trouvent en face de la bande interdite. Les premiers ont encore une énergie suffisante pour affronter la différence de potentiel qui s'installe, ils sont encore capables de diffuser du côté **p**. Ils y arrivent ralentis, avec un reste d'énergie cinétique, mais ils y arrivent. Les électrons de la deuxième zone, en fait, n'ont plus l'énergie suffisante pour franchir le saut de potentiel existant. S'ils essaient, ils voient leur énergie libre se convertir en énergie potentielle au cours de cette tentative, puis quand elle est consommée, le champ présent leur fait faire un demi-tour, et comme des billes insuffisamment lancées sur un plan incliné, ils re-dévalent la "pente" de potentiel et se retrouvent dans le milieu **n**. En résumé, si on appelle V_j , la différence de potentiel de contact en train de s'installer, tout se passe comme si la seule population d'énergie libre supérieure à $e \cdot V_j$ participait encore au flux de diffusion de **n** vers **p**. Par contre, tous les électrons minoritaires, côté **p**, peuvent contribuer au flux Φ_2 de la figure 2-1. La

tension V_j ne modifie pas ce flux de **p** vers **n**. Les électrons originaires de **n**, qui ont franchi la jonction, sont maintenant de type minoritaire, au milieu des trous de la zone **p** et, la plupart seront "combinés" en laissant un déficit de trous libres ou plutôt, un excès de centres fixes négatifs de ce côté **p**. Pour les trous, le phénomène est symétrique. Un flux de trous diffuse de **p** vers **n**, contribuant à renforcer l'excès de centres fixes négatifs côté **p** et construisant, par recombinaison, d'autres centres fixes positifs côté **n**.

Nous comprendrons plus loin que le nombre de charges échangées dans cette mise à l'équilibre reste faible devant le nombre total de porteurs libres du cristal, aussi supposons-le dès maintenant. Cela permettra de justifier sur notre dessin, la localisation des charges fixes découvertes. En effet chaque semi-conducteur, individuellement, renferme des charges libres, en volume, il doit donc être équipotentiel. La neutralité électrique sera respectée, sauf peut-être en surface ou à la jonction. Mieux, des champs électriques, et donc des différences de potentiel, ne pourront apparaître à cette jonction que par une non-neutralité électrique.

L'état d'équilibre vers lequel on tend, est maintenant évident (figure 1-c). Les flux d'électrons de part et d'autre de la jonction s'équilibreront lorsque la différence de potentiel de jonction V_j sera telle que les populations "en regard" seront égales. Appelons N_a la densité de trous côté **p** et N_d , la densité d'électrons libres côté **n**. Côté **p**, la population d'électron vaut en densité, l'intégralité de $n_p = n_i^2 / N_a$ ($\ll n_i$) et du côté **n**, la population "en regard" vaut la fraction de N_d d'énergie libre supérieure à $e \cdot V_j$, elle vaut donc $N_d \times \text{Exp}(-V_j/V_T)$ où V_T est le potentiel thermodynamique. A

l'équilibre, la tension V_{jo} sera donnée par :

$$V_{jo} = V_T \cdot \ln(N_d/n_p) = V_T \cdot \ln(N_d \cdot N_a / n_i^2)$$

Remarquons que cet état d'équilibre correspond fort heureusement à l'égalisation des énergies de **Fermi** et à la symétrie des courbes de population en regard, aussi bien pour les électrons que pour les trous. La jonction est alors traversée par quatre flux s'annulant deux à deux, deux flux d'électrons et deux de flux de trous. Les charges découvertes à la jonction sont responsables de l'installation de la tension V_{jo} , alors que les charges sur les cotés permettent au semiconducteur d'être équipotentiel par moitié.

2-2-Zone de charge d'espace

Nous allons regarder d'un peu plus près la jonction à l'équilibre dans une approche monodimensionnelle.

En ne supposant qu'une relation de continuité "douce" pour chaque population (figure 2-2), de part et d'autre de la jonction, on voit qu'il existe fatalement une zone progressivement déserte de porteurs libres (car $2 \cdot n_i \ll N_d$ ou N_a). C'est tout naturellement dans cette zone, où les charges fixes sont découvertes que s'installe le champ électrique de la jonction. En fait, entre les deux zones **n** et **p**, neutres électriquement, se crée une zone quasi-vide de porteurs libres, la **zone de charge d'espace (ZCE)**. Dans cette zone, qui contient la jonction cristalline, on peut relier la densité de charge à la variation du champ électrique (figure 2-3).

$$\frac{dE}{dx} = \frac{\rho}{\epsilon_0 \cdot \epsilon_r}$$

Le champ s'obtient en intégrant cette équation le long d'une ligne de champ, à travers toute la Zone de Charge d'Espace, et en remarquant que $E=0$ en

dehors de cette zone. Dans le cas d'une jonction abrupte, $\rho = C^{ste}$ par régions, on aura :

$$\vec{E}(x) \propto (\rho \cdot x + b) \quad \text{et} \quad V(x) \propto \left(\frac{\rho}{2} \cdot x^2 + b \cdot x + c\right)$$

Le champ varie linéairement par segments. $V(x)$ varie selon des arcs de paraboles. En conséquence, à l'équilibre, pour ce système à une dimension :

1-Les charges fixes totales découvertes de chaque côté de la jonction sont égales.

2-La profondeur de la zone découverte de chaque côté est liée à la différence de tension présente aux bornes de la jonction et aux densités de dopage de chaque type de semi-conducteur.

3-Rappelons le, dans cette situation d'équilibre, la **ZCE** est traversée par deux courants d'électrons qui s'annulent. Elle est également parcourue par deux courants de trous qui se compensent.

4-Les charges libres qui ont diffusé se sont presque toutes recombinaées et les porteurs fixes dégagés sont répartis sur la périphérie. Ceux-ci jouent, comme dans un conducteur, le rôle de densité "superficielle de charge" et permettent au milieu d'être équipotentiel en volume en absorbant les discontinuités du champ électrique avec l'extérieur. Ce sont ces charges qui interdisent également à un voltmètre branché aux extrémités du semi-conducteur de relever V_j , la différence de potentiel de jonction (figure 2-4).

Dans ce cas, les deux flux électroniques de sens contraire ne peuvent plus se compenser (idem pour les trous). Selon le signe de V_{app} , l'un ou l'autre des flux l'emporte et un régime permanent peut s'installer.

2-3-1 Jonction d'une diode "longue" polarisée en direct

Nous gardons une jonction abrupte et un dispositif unidimensionnel. Nous supposons de plus que la densité des donneurs est largement supérieure à celle des accepteurs, (diode n^+p , $N_d \gg N_a$, donc $n_p \gg p_n$) donc que l'effet des électrons sera prépondérant.

Nous appliquons une tension extérieure, positive du côté p inférieure à V_{jo} (convention de la figure 2-5), la tension de jonction globale est de la forme $(-V_{jo} + V_{app})$ et le potentiel interne du côté p reste négatif par rapport au côté n . La fraction de porteurs majoritaires en regard des minoritaires croît comme l'exponentielle du rapport (V_{app}/V_T) . En fait une partie des électrons majoritaires diffuse à travers la jonction et ceux-ci noient littéralement les électrons minoritaires du côté p . Regardons déjà le cas où la densité des électrons injectés reste malgré tout inférieure à celle des trous majoritaires (injection faible) ($n_p \cdot \exp(V_{app}/V_T) \ll N_a$). Dans ce cas, le potentiel appliqué de l'extérieur, et qui se retrouve sur la jonction, a pour effet de "recopier" dans la zone p près de la jonction, une densité d'électrons égale à celle des majoritaires "en regard" côté n ; et c'est tout, car ce potentiel est appliqué à une zone sans charge libre, donc ne crée aucun courant permanent par lui-même. Cependant, dans la zone p , il y a maintenant un "gradient" de porteurs, car la densité vaut $(n_p \cdot \exp(V_{app}/V_T))$ en $x = 0$ et (n_p) au niveau du contact ohmique. Un flux de charges de type minoritaires s'installe donc de la jonction vers ce contact par diffusion. Ce flux est compensé au niveau de la jonction par une injection permanente de charges à partir du côté n . Le phénomène se complique encore car les électrons injectés sont entourés de trous majoritaires et comme ils sont trop nombreux, la recombinaison les décime. En fait, après une diffusion de l'ordre d'une dizaine de microns à quelques millimètres, toutes les charges injectées (en excès), ont été recombinées et le courant présent dans le reste du barreau est un courant de trous majoritaires (qui sert en fait, à compenser dans la zone injectée, les pertes par recombinaison). Le courant qui s'installe résulte donc d'un **compromis complexe entre la diffusion et la recombinaison**, il dépend directement de la densité de porteurs injectés, mais surtout de son profil à la jonction $(\partial n / \partial x)_{x=0}$. Evaluons ce courant dans le cas de la figure 2-5 (diode "longue" de section S). Pour $x > 0$, en régime permanent, la perte de flux provient de la recombinaison, elle-même proportionnelle à l'excès local de densité.

$$\frac{d}{dx}(D_n \cdot \frac{dn(x)}{dx}) = \frac{n(x) - n_p}{\tau_n}$$

qu'on peut mettre sous la forme :

$$\frac{d^2(n(x) - n_p)}{dx^2} - \frac{(n(x) - n_p)}{(L_n)^2} = 0 \quad L_n = \sqrt{D_n \cdot \tau_n}$$

soit :

$$n(x) - n_p = n_p \cdot (\text{EXP}(\frac{V_{app}}{V_T}) - 1) \cdot \text{EXP}(\frac{-x}{L_n})$$

$$n(x) = n_p \cdot \text{EXP}(\frac{V_{app}}{V_T}) \cdot \text{EXP}(\frac{-x}{L_n}) + n_p \cdot (1 - \text{EXP}(\frac{-x}{L_n}))$$

La densité apparaît comme la somme de deux termes, un terme dû aux électrons injectés, la pente est négative, ils diffusent vers le contact ohmique et un terme dû aux minoritaires du cristal, la pente est positive, ils diffusent vers la jonction.

En fait on retrouve ainsi les flux Φ_{1e} et Φ_{2e} de la figure 2-3. Le calcul de la dérivée en $x = 0$ nous donne le flux global correspondant :

$$\Phi_T(x=0) = -D_n \cdot (\frac{dn}{dx})_{x=0} = n_p \cdot \text{EXP}(\frac{V_{app}}{V_T}) \cdot \frac{D_n}{L_n} - n_p \cdot \frac{D_n}{L_n}$$

Flux des électrons injectés

Flux des minoritaires
du cristal

On peut à cet instant calculer la vitesse de diffusion comme le rapport du flux à la densité et le temps nécessaire pour parcourir la distance L_n . Tant que $n(x) \gg n_p$ on trouve :

$$V_n (= \frac{\Phi}{n}) = \frac{D_n}{n(x)} \cdot \frac{dn(x)}{dx} = \frac{D_n}{L_n} = C^{ste} \quad t(L_n) = \frac{L_n^2}{D_n} = \tau_n$$

Le courant électrique vaut :

$$I_d = s.e.n_p \cdot \frac{D_n}{L_n} \cdot (\text{Exp}(\frac{V_{app}}{V_T}) - 1) = s.e.n_i^2 \cdot \frac{D_n}{L_n \cdot N_a} \cdot (\text{Exp}(\frac{V_{app}}{V_T}) - 1)$$

On définit I_s par l'expression $s.e.n_i^2 \cdot D_n / (L_n \cdot N_a)$.

Si on avait tenu compte des trous pour évaluer le courant total on serait arrivé à la même expression :

$$I_d = I_s (\text{Exp}(\frac{V_{app}}{V_T}) - 1)$$

mais avec

$$I_s = S \cdot e \cdot n_i^2 \left(\frac{D_n}{L_n \cdot N_a} + \frac{D_p}{L_p \cdot N_d} \right)$$

(la signification de D_p et L_p est ici évidente).

Rappelons encore une fois que pour une diode n^+p , le flux de trous, bien que plus faible, a un comportement de même type que celui des électrons et que les courants électriques s'ajoutent. On retrouve bien sûr, la caractéristique statique classique d'une diode (Figure 2-6), expression d'ailleurs valable en polarisation directe ou inverse. I_s a donc une interprétation simple, c'est le courant limite de saturation (extrêmement faible) de la diode branchée en inverse. Remarquons également que le courant I_d est multiplié environ par 10 si l'on élève la tension appliquée de $2 \cdot V_T$ (environ 50mV à 300°K). Ainsi le facteur de multiplication $\text{EXP}(V_{app}/V_T)$ vaudrait-il environ 10^{20} si V_{app} était à peu près égal à 1V. Même avec un courant I_s de l'ordre du pico-ampère, le courant direct serait de l'ordre de $10^8 A$ Il y a longtemps que la diode serait détruite. En fait, bien avant cela, on entre en régime de "forte injection", la densité de porteurs injectés dépasse la densité locale des majoritaires et d'autre part, on ne peut certainement plus négliger les chutes ohmiques. Les équations sont alors différentes comme le résume la figure 2-7. On peut remarquer également sur cette figure qu'aux très faibles injections directes, le comportement est également différent. Ceci est dû à l'existence de pièges et d'effets de surfaces qui induisent un fonctionnement en $\text{EXP}(V_{app}/2V_T)$. Nous retrouverons cet effet dans les transistors en petits signaux.

2-3-2 Diode à base "courte" polarisée en direct

On appelle base de la diode la région la moins dopée ; dans notre cas n^+p , c'est la région p . La base est dite "courte" (figure 2-8) si la longueur W_p du barreau p est petite devant L_n . Si l'on admet que la vitesse de recombinaison est infinie au niveau du contact ohmique, on admet également, en conséquence, qu'au niveau de ce contact les densités de porteurs libres restent à leur valeur d'équilibre. La densité d'électrons vaut donc n_p en $x=W_b$. Dans ce cas, le flux d'électrons minoritaires est non-nul au niveau du contact ohmique et l'effet de la recombinaison peut même devenir négligeable. Dans cette hypothèse, la dérivée seconde du profil de la densité est nulle et la densité varie linéairement en x . Son gradient est alors constant et vaut :

$$\frac{d n(x)}{dx} = - \frac{n_n}{W_b} \cdot \left(\text{Exp}\left(\frac{V_{app}}{V_T}\right) - 1 \right)$$

On peut alors recalculer la vitesse de dérive des charges injectées :

$$n(x) - n_p = n_p \cdot \left(\text{Exp}\left(\frac{V_{app}}{V_T}\right) - 1 \right) \cdot \left(1 - \frac{x}{W_b} \right)$$

$$\langle v \rangle(x) = \frac{D_n \cdot n_p}{W_b} \cdot (\text{Exp}(\frac{V_{app}}{V_T}) - 1) / n_p \cdot [(\text{Exp}(\frac{V_{app}}{V_T}) - 1) \cdot (1 - \frac{x}{W_b}) + 1]$$

sauf si x est trop proche de W_b

$$\langle v \rangle(x) = \frac{D_n}{W_b - x}$$

FIGURE 2-7. Effet de différents niveaux d'injection sur le courant direct de diode.

FIGURE 2-8. Diode courte N⁺P en polarisation directe. Au contact ohmique, la recombinaison est considérée de vitesse infinie donc en W_b la densité ne peut s'écarter de sa valeur d'équilibre (n_p).

et lorsque x tend vers W_b , au lieu de devenir infinie, elle est majorée par :

$$\lim_{x \rightarrow W_b} \langle v \rangle = \frac{D_n}{W_b} \cdot (\text{Exp}(\frac{V_{app}}{V_T}) - 1) \gg \frac{D_n}{W_b}$$

on peut alors calculer une très bonne approximation du temps de transit dans la base :

$$t_b = \int_0^{W_b} \frac{dx}{\langle v(x) \rangle} \approx \frac{W_b^2}{D_n} \cdot \int_0^{W_b} (1 - \frac{x}{W_b}) \cdot d(\frac{x}{W_b}) = \frac{W_n^2}{2 \cdot D_n} \ll \tau_n$$

$$\text{soit } \frac{t_b}{\tau_n} = \frac{W_b^2}{2 \cdot D_n \cdot \tau_n} = \frac{1}{2} \cdot (W_b/L_n)^2$$

(remarquons que l'erreur commise dans ce calcul est très faible car l'essentiel du temps de transit est dû aux faibles valeurs de x et non aux valeurs proches de W_b)

La forme littérale du courant I_d reste la même que pour une base longue, mais le courant de saturation vaut :

$$I'_s \approx s.e.n_i^2 \cdot \frac{D_n}{W_b \cdot N_a} \gg s.e.n_i^2 \cdot \frac{D_n}{L_n \cdot N_a}$$

(cette forme ne tient pas compte des trous, dont la contribution est encore plus négligeable car elle reste de même expression que dans le cas d'une base longue.)

Pour conclure sur ce paragraphe, il est très important de remarquer, que toutes choses étant égales par ailleurs, le courant I_s d'une diode courte (et donc I_d) dépend de façon déterminante, de la longueur de la base.

2-4 Photosensibilité

Une jonction exposée à un flux lumineux de bonne longueur d'onde, absorbe des photons en créant des paires de porteurs, aussi bien dans les barreaux dopés qu'à leur jonction. Dans le premier cas, nous avons une légère augmentation de la densité de porteurs donc une modulation en général faible de la résistance électrique de ces barreaux. Dans le volume de la ZCE le phénomène est bien plus important. En effet, chaque porteur créé dans cette zone est soumis au champ local. Les électrons sont accélérés vers la zone n et les trous vers la zone p . Ainsi séparés ils ne peuvent plus se recombiner et contribuent à grossir le courant de saturation I_s d'une valeur proportionnelle au flux lumineux appliqué. Il est à noter, qu'à tension de jonction égale à V_{jo} (nulle vue de l'extérieur) le flux des majoritaires est lui quasi-inchangé. le bilan n'est plus nul, un courant $I_{\Phi 0}$ peut être observé de l'extérieur (**Figure 2-9**). Hors des phénomènes d'avalanche sous fort champ, la caractéristique apparaît comme translatée vers le bas délimitant ainsi deux régions intéressantes, la région de photo-diode proprement dite et la région de photo-pile.

La première correspond à un fonctionnement en récepteur "contre-polarisé" et la deuxième à un fonctionnement en générateur électrique. En plus des limitations du rendement de conversion optique/électrique dues au rendement quantique, la longueur d'onde intervient sur la longueur de pénétration des photons donc sur la concentration relative du flux lumineux dans la région utile de semi-conducteur (**Figure 2-10**). Sur cette figure, on peut voir que le principal compromis de réalisation se situe dans la position et la profondeur de la **ZCE**. Il faut qu'elle soit la plus étendue le plus près possible de la surface d'éclairement. Il est en fait inutile de l'étendre au delà de 1 à 2 longueurs de pénétration (de l'ordre du micron pour le visible) car l'augmentation du rendement devient négligeable alors que le temps de réponse va croître proportionnellement à la largeur.

Sur le fonctionnement en photo-pile, peu de choses à dire hors les problèmes technologiques de réalisation (coût, surface, énergie, vieillissement ...) et le fait que le courant n'est environ proportionnel au flux qu'à tension nulle, que la tension est logarithmique au flux à courant nul et enfin qu'il existe pour chaque éclaircissement un point de fonctionnement d'extraction d'énergie maximum.

Pour conclure, il faut savoir qu'on a rarement besoin d'une technologie particulière pour profiter de (ou subir) la photosensibilité naturelle des jonctions et que dans les circuits intégrés MOS toute zone dopée est séparée du substrat (de dopage opposé) par une ZCE qui par transparence, reçoit entre 20 et 30% de la lumière présente en surface et donc peut être le siège de photocourants de fuite exploitables (de l'ordre de 0.1 μA par micron/carré de surface exposé à lumière ambiante).

2-5 Modélisation de la diode

Si la tension appliquée s'ajoute à la tension de jonction (négative selon la convention de signe de la figure 2-11), on dit que la jonction est contre-polarisée. Dans ce cas, il faut que la **ZCE** s'élargisse afin de "découvrir" plus de charges, car la pente de **E(x)** est liée à la densité d'impureté, donc est constante de chaque côté. Toujours dans le cas d'une jonction abrupte, des relations entre champ et potentiel, on tire que la largeur totale (∂) de la **ZCE** est de la forme :

$$\partial = (x_a + x_d) \propto (V_{j0} + V_{app})^{1/2}$$

En fait, à la jonction de surface **S**, il y a comme un condensateur dont l'épaisseur ∂ et la charge vont varier en fonction de la tension appliquée. Nous prendrons ce phénomène en compte dans un modèle de diode contre polarisée, en plaçant un "condensateur équivalent" de **transition** : ($C_t = k \cdot S / \partial$). Le modèle complet comportera en parallèle une source de courant **I_s** de valeur faible et quasi-constante dès que la tension appliquée est supérieure à 1V en valeur absolue (Figure 2-12).

En dehors du cas des photodiodes éclairées, ce courant est très faible pour le silicium. A 300 K, il est inférieur au pico-ampères, par micron-carré de

section-droite de jonction. On dit que la diode est bloquée, et on le négligera. Le modèle se réduira à un condensateur de transition C_t (d'ailleurs très faible) et dont la valeur décroît légèrement avec la tension (C_t est couramment égal à $10^{-4} \text{ pf}/\mu\text{m}^2$ de section droite de jonction).

Bien sûr, si $|V_{app}|$ devient trop grande, d'autres phénomènes apparaissent tels que le **claquage** ou l'**avalanche**. Le claquage correspond à un arrachement, par le champ électrique interne, d'un électron à un certain nombre d'atomes neutres. On crée ainsi des paires électron-trou supplémentaires qui changent l'état d'équilibre minoritaire-majoritaire. Cela se traduit par une augmentation du courant de saturation I_s .

FIGURE 2-11 Diode contre-polarisée ($V_{app} < 0$)

FIGURE 2-12. Modélisation d'une diode contre polarisée.

Il y a de plus "**avalanche**" quand un porteur accéléré en traversant la ZCE, a l'énergie suffisante pour **ioniser par choc** d'autres atomes. Il parvient alors à créer d'autres électrons capables d'arracher à leur tour d'autres électrons (effet de cascade) etc... Ces phénomènes ne sont pas forcément destructeurs et sont utilisés par exemple, dans les **diodes Zener**. Cependant, ils entraîneront pour les diodes usuelles, une limitation de la plage d'utilisation (figure 2-12).

Pour une diode polarisée en direct, la capacité de transition, construite sur la ZCE, existe toujours (figure 2-5), sa valeur augmente même (figure 2-10) mais nous avons remarqué au paragraphe 2-3-1 qu'une diode en direct fonctionne à tension quasi constante ($V_{app} < 1\text{V}$) et donc la charge de centres fixes qu'elle contient variera très peu. Pratiquement, son rôle sera le plus souvent négligé.

En cas de polarisation directe, d'autres charges sont mises en jeu, ce sont les charges injectées, dites charges stockées Q_s (électrons côté p, trous côté n) et aussi les charges de majoritaires déplacées pour assurer la neutralité électrique (figure 2-5). A la tension appliquée V_{app} correspond

donc une densité en $x = 0_+$: $n(0)$ et à cette densité, pour une diode donnée, correspond une charge stockée Q_s (fonction du profil) et un courant I_d . Il existe donc une relation entre I_d et Q_s . Dans le cas, par exemple d'une diode longue n^+p de section S , il suffit d'intégrer $n(x)$ entre la jonction et le contact ohmique côté p .

$$Q_s = S \cdot e \cdot n_p \cdot L_n \left(\exp\left(\frac{V_{app}}{V_T} - 1\right) \right) = I_d \cdot \frac{L_n^2}{D_n} = I_d \cdot \tau_n$$

Cette relation était évidente intuitivement, si l'on dit que Q_s représente le surnombre d'électrons présents dans cette zone p et que ces électrons disparaissent par recombinaison au rythme de Q_s / τ_n par seconde. Cette disparition est compensée au niveau de la jonction, précisément par le courant I_d , d'où la relation. Cela nous fait sentir également que cette relation sera valable en régime établi mais pas dans les transitoires rapides. En effet, la capacité de diffusion C_d , support virtuel de la charge stockée est une capacité variable spatialement répartie, (principalement entre $0 < x < 2L_n$) ; les charges Q_s positives et négatives sont localement mélangées dans ce condensateur C_d sans isolant. Elles ne sont séparées qu'énergétiquement, par leur énergie thermique. D'autre part, la tension appliquée V_{app} qui ne peut que modifier le potentiel global d'une zone dopée par rapport à l'autre ne fait que moduler la densité des porteurs libres "en regard" et donc ne fait qu'imposer une densité à l'origine $n(0,t)$ (et nullement une charge). La charge stockée ne s'établit que dans le temps, au rythme de la diffusion. Une modification $\Delta n(0)$ induira une évolution de cette charge stockée selon l'équation

$$\frac{dQ_s}{dt} = S \cdot e \cdot \Phi_{1e} - \frac{Q_s}{\tau_n} = - S \cdot e \cdot D_n \cdot \left(\frac{\partial n}{\partial x} \right)_{x=0} - \frac{Q_s}{\tau_n}$$

qui a pour temps caractéristique τ_n .

Nous pouvons dès maintenant donner de la diode, un modèle électrique assez proche de la réalité en figure 2-13. Ce modèle appelle quelques commentaires :

- 1- Les résistances r_n et r_p sont faibles ($10^{-3} \Omega$), elles regroupent les résistances des barreaux semi-conducteurs et des fils de connexion.
- 2- En polarisation directe, la capacité C_t varie peu, (comme $(V_{jo} - V_{app})^{-1/2}$) alors que C_d varie énormément, (comme $\exp(V_{app}/V_T)$).

-3- Au transitoire près, qui dure de l'ordre de τ_n , la charge "stationnaire" de Q_s est reliée à la tension appliquée par :

$$Q_s \approx S \cdot e \cdot L_n \cdot n_p \cdot (\exp(V_{app}/V_T) - 1)$$

Le retard à l'établissement de cette charge est pris en compte par une résistance R_d variable, qui est telle que ($R_d \cdot C_d = C_{ste} = \tau_n$). La diode idéale D prend en compte la dissymétrie de répartition géométrique des charges injectées. Si la tension de la région n vient à baisser de V_T par exemple (25 mV à 300 K), le flux d'électrons à travers la ZCE peut s'inverser car le gradient de densité au niveau de cette ZCE change de signe. Dans ce cas, de nombreuses charges injectées peuvent retraverser la jonction sans délai de transport puisqu'elles sont de type minoritaire et près de la jonction. C'est comme si, en première approximation, la résistance R_d était court-circuitée par une diode idéale pour ce sens de courant. Le système **diode/résistance** permet de découpler V_{app} et Q_s pour un flux qui tend à augmenter Q_s , alors qu'ils resteront étroitement liés pour une variation en sens inverse. A savoir, si Q_s diminue, tant que Q_s est non nul, V_{app} reste compris entre la valeur qu'il avait avant inversion du flux et zéro. Sauf pendant les transitoires, où il est complété par le courant de charge des condensateurs, le courant de diode est un courant de recombinaison :

$$I_d = I_{rec} = \frac{Q_s}{\tau_n}$$

Ceci est un modèle diode "longue", si la diode est courte, le courant de recombinaison est remplacé par un courant de diffusion des électrons dans la base I_{diff} quasi constant dans toute la zone p . La résistance r_p tend vers 0.

Nous allons utiliser ce modèle pour étudier la diode idéale en commutation.

2-6 Diode en commutation de l'état bloqué à l'état passant

2-6-1 Attaque en tension

Prenons le schéma de la figure 2-14a où la tension $e(t)$ suit l'évolution donnée en 2-14b. On néglige les "selfs" réparties le long des fils et l'on regroupe r_n et r_p dans la résistance de charge R . Tant que la tension V_d est négative, seul le condensateur C_t (chargé négativement) intervient (on néglige ici le courant de saturation). Il se décharge par un pic de courant positif qui part de la valeur $(E_1 + E_2/R)$ et décroît exponentiellement avec la constante de temps $R \cdot C_t = \tau_1$. Dès que V_d devient positive, C_t n'intervient plus, C_d peut se charger mais cela prend un temps τ_n . Si R est suffisamment faible ($\tau_1 \ll \tau_n$) même sans faire intervenir de self parasite en série, on peut avoir un dépassement de tension qui correspond au retard à l'installation de la charge $Q_s(\tau_n)$. Quand le transitoire est terminé, si V_d est la tension aux bornes de la diode, le courant vaut : $I_d = (E_2 - V_d)/R$ et $Q_s = I_d \cdot \tau_n$.

Le calcul exact est très compliqué dans le cas où $e(t)$ est une source de tension car il y a concours entre deux phénomènes, la charge C_t et celle de C_d . Nous allons l'approcher pour les temps positifs (début de la charge de C_d) en modélisant la tension appliquée au niveau de la jonction par le

créneau en pointillé et en supposant que $n(x,t)$ reste de la forme $\exp(-x/\lambda(t))$ (figure 2-15).

Dans ce cas, reprenons l'équation du paragraphe précédent :

$$\frac{dQ_s(t)}{dt} = S.e.D_n \cdot \left(\frac{-\partial n(x,t)}{\partial x} \right)_{x=0} - \frac{Q_s(t)}{\tau_n}$$

avec : $n(x,t) - n_p = n_p \cdot (\exp(V_{app}/V_T) - 1) \cdot \exp(-x/\lambda(t))$

donc : $Q_s(t) = S.e.n_p \cdot (\exp(V_{app}/V_T) - 1) \cdot \lambda(t)$

$$\frac{d}{dt} \cdot Q_s(t) = S.e.n_p \cdot \left(\exp\left(\frac{V_{app}}{V_T}\right) - 1 \right) \cdot \lambda'(t)$$

On a donc la relation :

$$\lambda'(t) = \frac{D_n}{\lambda(t)} - \frac{\lambda(t)}{\tau_n}$$

FIGURE 2-15. Evolution de la charge stockée en fonction du temps pour une attaque en tension

Si l'on multiplie de chaque côté par $\lambda(t)$ et que l'on pose ($U = \lambda^2(t)$) :

On peut écrire : $U'(t) = -D_n \cdot \tau_n \cdot \exp(-2.t / \tau_n)$

La solution est évidente : $U(t) = L_n^2 \cdot (1 - \exp(-2.t / \tau_n))$, car ($D_n \cdot \tau_n = L_n^2$). On en déduit : $\lambda(t) = L_n \cdot (1 - \exp(-2.t / \tau_n))^{1/2}$.

On peut en déduire également la forme de $Q_s(t)$. Si l'on désigne par Q_∞ la charge à l'équilibre, son évolution dans le temps est donné par :

$$Q_s(t) = Q_\infty \cdot (1 - \exp(-2.t / \tau_n))^{1/2}$$

Après la charge de C_t , le courant sert à constituer Q_s et à entretenir celle-ci en compensant la recombinaison.

$$I_d = (2.Q_\infty/\tau_n).(1/2).\text{Exp}(-2.t/\tau_n).(1 - \text{Exp}(-2.t/\tau_n))^{1/2} + (Q_\infty/\tau_n).(1 - \text{Exp}(-2.t/\tau_n))^{1/2} = I_{d1} + I_{d2}$$

On peut simplifier :

$$I_{d1} \geq (Q_\infty/\tau_n).\text{Exp}(-2.t/\tau_n), I_{d2} \geq (Q_\infty/\tau_n).(1 - \text{Exp}(-2.t/\tau_n))$$

soit : $I_d \geq Q_\infty/\tau_n$

Il vaut sa valeur finale à 10 % près par les valeurs >0 , pour $t \# \tau_n$. Le temps global de commutation peut être évalué à $t_1 + \tau_n$, de l'ordre de $(R.C_t + \tau_n)$.

2-6-2 Attaque en courant

L'évaluation d'une attaque en courant est plus facile, si l'on néglige l'effet de la capacité C_t , dès que V_d est devenu positif (figure 2-16), mais remarquons tout de suite que ce cas a moins de sens physique, une diode commute des tensions et non des courants (sauf dans les cas d'induction, un courant est toujours la conséquence d'une force de mise en mouvement et non sa cause).

Pour $t > 0$

$$\frac{\partial n(x,t)}{\partial x} = \frac{I_o}{s.e.D_n} = C^{ste} = \alpha$$

alors :

$$\frac{dQ_s(t)}{dt} + \frac{Q_s(t)}{\tau_n} = I_o$$

de façon triviale :

$$Q_s(t) = \tau_n \cdot (I_F \cdot \text{Exp}(-\frac{t}{\tau_n}) - I_R \cdot (1 - \text{Exp}(-\tau_n)))$$

on recherche alors $V(t)$ par $n(0, t)$ en écrivant que :

$$n(x, t) = n(0, t) \cdot \text{Exp}(-\frac{x}{\lambda(t)})$$

$$\left(\frac{\partial n}{\partial x}\right)_{x=0} = \frac{n(0, t)}{\lambda(t)} = \alpha$$

$$S.e. \int_0^{\infty} n(x, t) \cdot dx = Q_s(t) = S.e. n(0, t) \cdot \lambda(t) = S.e. \alpha \cdot \lambda^2(t)$$

on en tire que :

$$\lambda(t) = \sqrt{\frac{\tau_n \cdot I_o \cdot (S.e. D_n)}{(S.e.) \cdot (I_o)}} \cdot (1 - \text{Exp}(-\frac{t}{\tau_n})) = L_n \cdot \sqrt{1 - \text{Exp}(-\frac{t}{\tau_n})}$$

de là, on remonte à la tension appliquée à la jonction :

$$n(0, t) = \frac{I_o \cdot L_n}{S.e. D_n} (1 - \text{Exp}(-\frac{t}{\tau_n}))^{\frac{1}{2}} = \frac{n_i^2}{N_a} (\text{Exp}(\frac{V_d(t)}{V_T}) - 1)$$

soit

$$V_d(t) = V_{\infty} + \frac{V_T}{2} \cdot \text{Log}(1 - \text{Exp}(-\frac{t}{\tau_n}))$$

Remarquons simplement que pour $t=0.2 \cdot \tau_n$, $0.5 \cdot \text{Log}(1 - \text{Exp}(-t/\tau_n))$ ne vaut déjà plus que -0.85 , la tension est déjà à moins d'un V_T de son asymptote et pour finir, cette tension évolue en $\text{Exp}(-t/\tau_n)$. Remarquons aussi qu'un temps global de commutation est plus difficile à définir puisque la tension évolue très vite vers sa valeur asymptotique, alors que la charge Q_s est encore en train de s'installer....

2-7 Diode en commutation de l'état passant à l'état bloqué

Nous n'étudierons dans ce cas que la commande en tension en reprenant le montage de la figure 14-a, et $e(t)$ est donné par la figure 2-17.

Dans un premier temps la diode se comporte comme un court-circuit, car la polarité étant inversée, la charge de stockage qui est de nature minoritaire, et proche de la jonction, est capable de donner à I_R n'importe quelle valeur sans délai. Cependant, ce courant, limité par R prélève des charges à Q_s .

$$\frac{dQ_s(t)}{dt} = -I_R - \frac{Q_s}{\tau_n}$$

soit, en tenant compte des valeurs initiales :

$$Q_s(t) = \tau_n \cdot (I_F \cdot \text{Exp}(-\frac{t}{\tau_n}) - I_R \cdot (1 - \text{Exp}(-\frac{t}{\tau_n})))$$

Cette relation est valable tant que $Q_s(t) \geq 0$.

Quand $Q_s(t)$ approche zéro, on est à l'instant t_1 , donc t_1 est donné par :

$$t_1 \sim \tau_n \cdot \text{Log}(1 + \frac{I_F}{I_R}) \sim \frac{\tau_n}{2} \quad \text{si } I_R \sim I_F$$

Dans le cas où $I_R=0$, ($E_2=0$), la "récupération" de la diode est bien plus lente et dure environ $2.2 \cdot \tau_n$. Pendant ce temps, la densité $n(0, t)$ évolue de $n(0,0)$ à zéro. C'est à cette dernière valeur que le courant de "récupération" des charges stockées disparaît car $dn(0,t)/dx$ ne peut demeurer constant plus longtemps (Figure 2-18).

Le reliquat des charges restantes disparaîtra "sur place" par recombinaison. Néanmoins, un certain courant existera encore en transition douce, tendant vers $(-I_S)$, il servira entre autres, à charger le condensateur de transition. L'évolution du courant et de la tension se fera selon une exponentielle de constante de temps : $R \cdot C_T = \tau_1$ ($C_T = C^{ste}$).

Au total, le temps de commutation vaudra de l'ordre de : $(\tau_n/2 + 2 \cdot \tau_1)$

Remarquons que plus $|E_1|$ est grand, plus le courant s'éteint vite, mais dans ce cas le temps de la "commutation en sens inverse" augmentera.

2-8 "Compensation" d'une diode

2-8-1 Sens passant-bloqué

On peut, dans certaines conditions d'utilisation, partiellement "compenser" une diode en commutation (c'est à dire : compenser les effets de charge stockée). Nous allons en étudier le mécanisme dans une commutation passant-bloqué. Soit le montage de la figure 2-19, commandé par la tension décrite en figure 2-20.

Pour une diode passante brusquement contre polarisée, nous utiliserons le modèle approché, sans la résistance R_d alors court-circuitée par la diode D (parce que les charges stockées retournent dans leur zone d'origine) et sans la source de courant I_{rec} (car on supposera les courants inverses suffisamment importants par rapport au courant direct de recombinaison). Dans ce cas, juste avant la commutation, (si $V_d \ll E_1$) :

$$Q_s = I_d \cdot \tau_n \sim \frac{E_1 \cdot \tau_n}{R}$$

a- A la commutation, tant que Q_s est différent de zéro, V_d reste positif et faible, donc l'échelon de tension est reporté sur le condensateur C , qui se charge d'ailleurs au détriment de Q_s . Si C est suffisamment faible ($C < C_1$), après l'échelon de tension, $V_s \approx -E_2$, mais il ne reste plus dans C_d que la charge : $(Q_s - C \cdot (E_1 + E_2))$. Ce "restant de charge" s'écoule par le courant E_2/R , comme normalement, mais on en arrive "à bout", plus vite que sans condensateur. Ensuite, le condensateur C en parallèle sur C_T se recharge par R , avec une constante de temps qui ressemble au cas normal tant que ($C \approx C_T$).

b- Si $C = C_1 = E_1 \cdot \tau_n / [R \cdot (E_1 + E_2)]$. Pendant la transition, c'est seulement lorsque $V_s = -E_2$ que Q_s devient nul. Alors, le courant de diffusion cesse dès $t = 0^+$ et comme dans le cas (a), C (en parallèle sur C_T) se décharge par R .

c- On se doute que si : $C = C_2 \approx \tau_n / R$, c'est lorsque $V_s = 0$ que Q_s

devient nul. Le générateur de tension $e(t)$ a encore à appliquer l'échelon $[0, -E_2]$ au pont diviseur de condensateur (C_T, C). La convention habituelle, déjà donnée, qui dit que : $R \cdot C_T = \tau_1 \ll \tau_n$, entraîne que $C_T \ll C_2$. Aussi, quand le générateur de tension atteint $-E_2$, la fraction de tension appliquée à V_s vaut :

$$V_s(0^+) = -V_c = \frac{-E_2 \cdot C_T}{C_T + C_2} \ll E_2$$

ensuite cette tension résiduelle disparaît au rythme de recharge des capacités C et C_T en parallèle.

d- En théorie, on peut complètement faire disparaître cette pointe de tension, en augmentant légèrement C . La charge Q_s devient alors nulle pour une tension $\varepsilon > 0$. C'est donc que :

$$C \# \frac{E_1 \cdot \tau_n}{R \cdot (E_1 - \varepsilon)}$$

Ensuite, quand le générateur applique l'échelon ($\varepsilon - E_2$), il faut que V_s parcoure seulement la tension ε donc :

$$(E_2 + \varepsilon) \cdot \frac{C_T}{C + C_T} = \varepsilon \quad \text{soit} \quad \varepsilon = E_2 \cdot \frac{C_T}{C}$$

Si on remplace dans l'équation précédente, on trouve :

$$C \# \frac{\tau_n}{R} + (C_T \cdot \frac{E_2}{E_1})$$

Le malheur quand on essaie (voir le cas (d)) est que le pic négatif est remplacé par une bosse de faible amplitude, mais relativement longue ...

De fait, le modèle est trop simple et ne prend pas assez bien en compte la nature répartie de la charge stockée...

e- Si l'on augmente encore la capacité C , la tension où $Q_s = 0$ est de plus en plus positive et il se produit une queue de tension importante, de constante de temps $R \cdot C$ maintenant supérieure à τ_n .

2-8-2 Sens bloqué-passant

Nous allons étudier l'effet d'une capacité de compensation dans le cas de la commutation directe (Figure 2-21).

Tout d'abord, tant que la diode est polarisée en inverse, seule la capacité de transition C_T intervient. Et si, comme habituellement, $C_T \ll C$, l'échelon de tension est apporté par C sur C_T quasi-instantanément, sans que cela change la charge de C , et ceci jusque à l'instant où la tension appliquée

(V_{app}) atteint 0. Cela se fait (en simplifiant), à l'occasion d'un courant instantané infini et infiniment bref.

Supposons, pour commencer que nous ayons donné à C une valeur C_1 importante, telle que $(R.C_1 \gg 5.\tau_n \gg R.C_T = \tau_1)$. Quand l'échelon de tension en entrée, passe de 0 à $+E_2$, la capacité C_T étant faible et la capacité C_d n'ayant pas de temps de s'établir en un temps petit devant τ_n , cet échelon de tension est reporté sur la jonction. En fait, dès que $V_{app} \gg V_{jo}$, plus rien ne change pour la jonction, la densité présente côté p en ($x = 0^+$) valant N_d et la diffusion, au rythme de τ_n , installant une charge d'électrons côté p . Cette injection de charges par la densité initiale N_d (super-injection) est très rapide, et alors que ces dernières n'ont pu diffuser avec le profil exponentiel de profondeur caractéristique L_n , elles épuisent la charge $C_1.E_2$, disponible dans C_1 (R n'a pas la possibilité de fournir une charge finie en un temps infiniment bref).

A cet instant, la différence de potentiel aux bornes de la diode est quasiment celle d'équilibre. Le condensateur a fini son effet, un courant permanent $I_d = E_2/R$ est déjà installé... Tout est donc fini, sauf peut-être pour la charge injectée actuelle, qui est bien supérieure à la charge d'équilibre $Q_s = \tau_n.E/R$. Le retour à l'équilibre, alors que le courant est déjà établi, ne se fait sentir qu'à l'ajustement de V_{app} vers V_{eq} (équilibre).

Tout d'abord, la jonction est injectée par une densité N_d qui pompe un

courant important à C_1 . Il n'y a pas encore de recombinaison notable, on prendra un profil linéaire (Figure 2-22). On a les relations :

$$\frac{dQ_s}{dt} = s.e.D_n.k(t) \quad \text{si} \quad n(x) = N_d - k(t).x$$

et :

$$Q_s = s.e.N_d \cdot \frac{N_d}{k(t)} = s.e. \frac{N_d^2}{k(t)}$$

on tire

$$Q_s \cdot dQ_s = \frac{1}{2} e^2 \cdot s^2 \cdot D_n \cdot N_d^2 \cdot dt$$

soit

$$Q_s^2 = e^2 \cdot s^2 \cdot D_n \cdot N_d^2 \cdot t$$

Cette charge épuise le condensateur C_1 en un temps bref, t_1 :

$$t_1 = \frac{C_1^2 \cdot E_2^2}{e^2 \cdot s^2 \cdot D_n \cdot N_d^2} \quad \text{soit} \quad t_1 = \tau_n \cdot \left(\frac{C_1 \cdot E_2}{e \cdot s \cdot L_n \cdot N_d} \right)^2$$

Rappelons que nous avons pris : $R \cdot C_1 \ll 5 \cdot \tau_n$

On peut écrire :

$$\frac{C_1 \cdot E_2}{e \cdot s \cdot L_n \cdot N_d} \ll \frac{5 \cdot Q_{s\infty}}{e \cdot s \cdot L_n \cdot N_d} \sim 5 \cdot \text{Exp}\left(-\frac{V_{jo} - V_{eq}}{V_T}\right)$$

FIGURE 2-22 a) Pour $t < t_1$, la capacité de compensation annule la barrière de potentiel à la jonction N_d . Cst est appliqué en $x = 0$, la capacité C_d se charge à potentiel environ Cst jusqu'à $Q_s = C_1 \cdot E_2$.

b) La capacité de compensation est déchargée, la résistance R fournit un courant insuffisant pour entretenir Q_s qui s'étale et prend un profil d'équilibre exponentiel lorsque Q_s tend vers $Q_{s\infty}$. Si $C = C_2$, $Q_{s\infty}$ est atteint dès t_1 . La charge se redistribue à Q_s environ Cst. Le potentiel de jonction se réinstalle alors à sa valeur d'équilibre.

Ce temps est atteint en une très faible fraction de τ_n (théoriquement, $\tau_n/10^4$ environ).

Après t_1 , C_1 est déchargé. Seul R peut fournir un courant égal à E/R , bien insuffisant pour seulement entretenir la charge $5.Q_{s\infty}$. Cette charge régresse donc avec la constante de temps τ_n , selon l'équation :

$$Q_s = E_2 \cdot \left\{ -\frac{\tau_n}{R} \left(1 - \exp\left(-\frac{t}{\tau_n}\right) \right) + C_1 \cdot \exp\left(-\frac{t}{\tau_n}\right) \right\}$$

La recombinaison permet d'ailleurs au profil d'équilibre exponentiel de s'installer avec la profondeur caractéristique L_n . C'est conjointement à cette installation que le potentiel de diode, qui évolue depuis que C_1 est chargé, finit par atteindre sa valeur d'équilibre.... Sans faire de calculs compliqués, Q_s relaxe avec le temps caractéristique de l'ordre de τ_n indépendamment du profil, et ce profil a naturellement une tendance à s'installer en un temps également τ_n . On peut donc estimer que la tension V_{eq} et Q_s vont relaxer ensemble vers leurs valeurs d'équilibre en des temps de l'ordre de τ_n (mais la diode laisse déjà passer le courant).

Si l'on reprend l'explication pour une capacité de compensation $C_2 = \tau_n/R$ la capacité se trouve déchargée juste lorsque la charge transférée à C_d vaut $Q_{s\infty}$. Alors au premier ordre (car la répartition spatiale est loin d'être la bonne), les transitoires de relaxation de cette charge et de la tension V_{app} se trouveront bel et bien minimisés. On dira donc que c'est la même capacité de compensation $C_2 = \tau_n/R$ qui optimise la commutation passant/bloqué et la commutation bloqué/passant. Cette compensation restera limitée au premier ordre, car on a négligé de nombreux phénomènes (non négligeables en cas de forte injection) tels que : resistivité des barreaux dopés, neutralité électrique, effets associés sur la population de trousetc.

3 TRANSISTORS BIPOLAIRES EN COMMUTATION.

3-1-Effet transistor

Nous avons étudié dans le chapitre précédent, le fonctionnement d'une diode **N⁺P** à base courte devant la longueur de diffusion ($W_b \ll L_n$). Nous avons dit que dans ce cas, le contact ohmique est un lieu de recombinaison extrêmement intense, il assure que $n(W_b) = n_p (\approx 0)$ (W_b est de l'ordre de quelques microns et L_n de l'ordre de quelques centaines de microns). Dans ce cas, lorsque la diode est polarisée en direct, l'effet de la recombinaison sur les charges injectées reste négligeable, aussi les électrons issus de la région **N** parviennent-elles presque intégralement à la zone du contact ohmique. Un même régime peut être obtenu en remplaçant ce contact ohmique par une deuxième jonction **PN** polarisée en inverse (deuxième zone **N** d'un potentiel positif), (**Figure 3-1a**). Si elle est correctement polarisée, la première jonction fonctionne comme une diode directe à base courte, la zone **N⁺** émet des électrons (on l'appellera émetteur) qui sont injectés dans la base (**figure 3-1b**). Une charge stockée **Q_s** s'installe, due aux porteurs injectés et qui diffusent à travers toute la base. Au contact de la deuxième **ZCE**, ces électrons, qui sont de type minoritaires, sont accélérés et balayés par le champ naturel de cette **ZCE** (d'ailleurs renforcé par le champ appliqué en inverse, de l'extérieur). Au total, en $x = W_b$, la densité des charges injectées par l'émetteur est devenue nulle, car leur vitesse est très grande. Le profil de densité sera donc linéaire, comme avec une diode à base courte (**figure 3-1c**), mais cette fois, les électrons ne sont pas forcément recombinés en **W_b**, ils traversent la zone **ZCE2** et se retrouvent dans la deuxième zone **N**, au milieu des électrons majoritaires. Cette dernière joue le rôle de collecteur de charges.

Un phénomène surprenant se produit donc. Alors que la deuxième jonction est polarisée en inverse, elle peut être le siège d'un courant important, quasi-indépendant de la tension **V_{cb}**, si celle-ci est suffisamment positive, mais qui peut au contraire être contrôlée par une autre tension **V_{be}**.

Remarquons que ce courant implique l'existence d'une charge **Q_s** au profil triangulaire dans la base, (dont la pente est précisément proportionnelle à ce courant) et qu'une faible variation de **V_{be}** peut entraîner une variation importante d'un courant sous forte tension. C'est l'**effet transistor**, très intéressant, car, on va le voir, il demande beaucoup moins d'énergie pour sa commande qu'il n'en contrôle par son collecteur.

Pour établir ceci et voir dans quelles conditions on peut "construire un bon transistor", on va faire un bilan assez fin des différents flux de charges circulant à travers les différentes jonctions.

3-2-Bilan des flux de charges, efficacité d'injection

Le diagramme de densité et le bilan des flux sont donnés graphiquement sur **la figure 3-1 (a), (b), (c)**. Si **S** désigne la surface des deux jonctions, **n_i** la densité de porteurs intrinsèque, **N_{de}** et **N_{dc}** les dopages "donneurs" d'émetteur et de collecteurs, **N_a** le dopage de base, **W_b** et **W_e** les largeurs de base et d'émetteur, **D_n** et **D_p** désignent les coefficients de diffusion, **L_n** et **L_p** la longueur de diffusion des électrons et des trous; les quatre flux principaux pour un transistor injecté sont :

-Un flux d'électrons injecté dans une base courte :

$$\Phi_{1-2} = \Phi_{sn1} \cdot \left(\exp\left(\frac{V_{bc}}{V_T}\right) - 1 \right) \quad \text{avec} \quad \Phi_{sn1} = S \cdot n_i^2 \cdot \frac{D_n}{(W_b \cdot N_a)}$$

-Un flux de trous injecté par la base dans l'émetteur qui habituellement sera court aussi :

$$\Phi_{3-4} = \Phi_{sp1} \cdot \left(\exp\left(\frac{V_{bc}}{V_T}\right) - 1 \right) \quad \text{avec} \quad \Phi_{sp1} = S \cdot n_i^2 \cdot \frac{D_p}{(W_e \cdot N_{de})}$$

-Un flux de saturation de trous du collecteur vers la base (qui ne dérive pas vers l'émetteur car les trous sont de type majoritaires dans la base) :

$$\Phi_{7-8} = \Phi_{sp2} \cdot \left(\exp\left(\frac{V_{bc}}{V_T}\right) - 1 \right) \quad \text{avec} \quad \Phi_{sp2} = S \cdot n_i^2 \cdot \frac{D_p}{(L_p \cdot N_{dc})}$$

-Un flux de saturation d'électrons du collecteur vers la base (qui peut dériver vers l'émetteur dans certaines conditions de polarisation) :

$$\Phi_{5-6} = \Phi_{sn2} \cdot \left(\exp\left(\frac{V_{bc}}{V_T}\right) - 1 \right) \quad \text{avec} \quad \Phi_{sn2} = S \cdot n_i^2 \cdot \frac{D_n}{(W_b \cdot N_a)}$$

A ces 4 flux peuvent s'ajouter par effet transistor, 2 reports de flux. Le report de Φ_{1-2} sur le collecteur qui s'ajoute au bilan ($-\Phi_{5-6} + \Phi_{7-8}$) et par symétrie, le report de Φ_{5-6} sur ($\Phi_{1-2} + \Phi_{3-4}$) mais celui-ci est négligeable dans notre exemple, à cause des conditions de polarisation (attention aux conventions de sens positif des flux). Le report de Φ_{1-2} n'est cependant pas complet, car au cours de leur traversée de la base, les électrons qui constituent ce flux sont en excédent par rapport à la population normale des électrons et sont donc recombines. La perte de flux globale est proportionnelle à cet excédent de charge appelé charge stockée **Q_s** et vaut :

Q_s / τ_n . D'ailleurs, comme dans une diode courte :

$$Q_s = S \cdot \frac{n_i^2}{N_a} \cdot \frac{W_b}{2} \cdot \left(\exp\left(\frac{V_{bc}}{V_T}\right) - 1 \right)$$

On peut maintenant écrire le bilan des flux au niveau de la **ZCE₂** :

$$\Phi_{ZCE_2} = -\Phi_{5-6} + \Phi_{7-8} + \left(\Phi_{1-2} - \frac{Q_s}{\tau_n}\right) = -\Phi_{5-6} + \Phi_{7-8} + \left(1 - \frac{t_b}{\tau_n}\right) \cdot \Phi_{1-2}$$

en se souvenant que le temps de transit est relié à la largeur de base par :

$$\frac{t_b}{\tau_n} = \frac{1}{2} \cdot \left(\frac{W_b}{L_n}\right)^2$$

On définit le **facteur de transport** des électrons dans la base par :

$$B_0 = 1 - \frac{t_b}{\tau_n} \quad \text{et} \quad \Phi_{ZCE_2} = -\Phi_{5-6} + \Phi_{7-8} + B_0 \cdot \Phi_{1-2}$$

Ce facteur est d'autant plus voisin de 1 que $t_b \ll \tau_n$. C'est à dire que $W_b \ll L_n$. La perte de flux de Φ_{1-2} dans la base constitue un flux de recombinaison :

$$\Phi_{\text{rec}} = \Phi_{1-2} \cdot \frac{t_b}{\tau_n}$$

3-3-Equations fondamentales du transistor bipolaire.

Si on effectue le bilan des courant au niveau des contacts ohmiques (orientés selon la **figure 3-2**), en introduisant le rapport γ d'injection de l'émetteur ($I_1 = \gamma \cdot I_e$) et les courants i_{p1} et i_{p2} des trous au niveau des **ZCE₁** et **ZCE₂** ($-e$ représente la charge de l'électron).

$$I_1 = e \cdot \Phi_{1-2}, \quad I_{p1} = e \cdot \Phi_{3-4}, \quad I_{p2} = e \cdot \Phi_{7-8}, \quad I_{n2} = -e \cdot \Phi_{5-6}, \quad I_{\text{rec}} = e \cdot \Phi_{\text{rec}}$$

$$I_e = \frac{I_1}{\gamma} = I_1 + I_{p1} = I_c + I_b$$

$$I_c = B_0 \cdot I_1 + (I_{p2} + I_{n2}) = B_0 \cdot \gamma \cdot I_e + (I_{p2} + I_{n2})$$

$$I_b = I_{rec} + I_{p1} - (I_{p2} + I_{n2}) = (1 - B_0) \cdot \gamma \cdot I_e + (1 - \gamma) \cdot I_e - (I_{p2} + I_{n2})$$

Le courant principal est I_1 et ce courant est commandé par la tension appliquée à la jonction base-émetteur, donc par le potentiel de base, si l'on considère que l'émetteur est au potentiel zéro. Ce potentiel de base est donné par un équilibre, au sein de cette base entre la recombinaison, qui fixe des charges négatives et donc abaisse le potentiel local et l'apport de trous positifs par le courant I_b , actif par I_{rec} . En définitive, I_{rec} fixe donc le potentiel de commande.

Un transistor sera un bon transistor, si la commande reste de faible puissance et proportionnelle au courant principal qu'elle génère¹; donc si les courants de trous vers l'émetteur I_{p1} et provenant du collecteur I_{p2} restent faibles devant les autres. En résumé, il faut que :

$$I_1 \gg I_{rec} \gg I_{p1} \# (I_{p2} + I_{n2})$$

La première condition sera réalisée si la base est courte ($W_b \ll L_n$). La deuxième, si l'émetteur est beaucoup plus dopé que la base.

Cela se traduit par l'expression :

$$\frac{D_p}{W_e \cdot N_{de}} < \frac{D_n}{W_b \cdot N_a} \cdot \frac{t_b}{\tau_n} \quad \text{soit} \quad N_{de} > \frac{\tau_n}{t_b} \cdot N_a \quad \text{alors} \quad \gamma \# 1$$

Si l'on pose : $B_0 \cdot \gamma = a_0$ (habituellement, $a_0 \# 0.99$), on peut écrire :

$$I_c = a_0 \cdot I_e + (I_{p2} + I_{n2}) = a_0 \cdot I_e + I_{cb0}$$

$$I_b = (1 - a_0) \cdot I_e - (I_{p2} + I_{n2}) = (1 - a_0) \cdot I_e - I_{cb0}$$

Ces équations sont caractéristiques du fonctionnement en "**base commune**" (entrée par l'émetteur, sortie par le collecteur) (**figure 3-3**). a_0 représente le gain statique en courant du montage. $(I_{p2} + I_{n2})$ encore appelé I_{cb0} représente le courant de fuite collecteur/base, lorsque l'émetteur n'est pas branché ($I_e = 0$).

Si l'on pose $\beta = a_0 / (1 - a_0)$ ($\beta \# 100$), on peut mettre les équations sous la forme :

$$I_e = (\beta / a_0) \cdot I_b + (\beta / a_0) \cdot (I_{p2} + I_{n2}) = (\beta / a_0) \cdot I_b + I_{ce0}$$

$$I_c = \beta \cdot I_b + (\beta / a_0) \cdot (I_{p2} + I_{n2}) = \beta \cdot I_b + I_{ce0}$$

β représente le gain en courant du montage "**émetteur commun**" (entrée par la base, sortie par le collecteur) et β / a_0 le gain en courant du montage

"collecteur commun" (entrée par la base, sortie par l'émetteur).

FIGURE 3-3. Différents montages de base du transistor bipolaire (cas du NPN).

I_{ce0} représente cette fois le courant de fuite collecteur/émetteur, lorsque la base est "en l'air". Remarquons qu'étant données les valeurs habituelles de β , I_{ce0} est beaucoup plus grand que I_{cb0} . On peut l'expliquer facilement en remarquant que, même "en l'air", la base perd des électrons et reçoit des trous du collecteur (figure 3-1b et 3-1d) donc elle est maintenue à un potentiel positif. De ce fait, la jonction émetteur-base est légèrement passante et cela contribue à grossir le courant I_{cb0} .

La tension entre la base et l'émetteur est reliée au courant d'émetteur par le flux d'électrons injectés.

$$I_e = (e \cdot \Phi_1 / \gamma) \cdot (\text{Exp}(V_{be}/V_T) - 1)$$

Si on néglige le facteur γ , en principe proche de 1, on peut remarquer que la diode base-émetteur est une diode sur laquelle on applique V_{be} mais dont le courant I_e n'est pas pris à la base ($I_b \ll I_e$) mais quasi-intégralement au collecteur.

3-4-Phénomènes limitant la fonction des transistors

Nous avons déjà signalé l'intervention de phénomènes parasites tels que les pièges de la zone de charge d'espace et les effets de surface pour les diodes faiblement injectées, ces phénomènes se manifesteront également pour les transistors sous faible polarisation et leur caractéristique dans ce cas sera de la forme :

$$I_e = I'_s \cdot \left(\text{Exp}\left(\frac{V_{be}}{2V_T}\right) - 1 \right)$$

Nous avons par ailleurs précisé que, pour les "bons transistors", le dopage de la base doit être très faible par rapport au dopage de l'émetteur. Dans ce cas, la **ZCE₁** s'étend surtout vers la base mais elle reste de largeur environ constante pour les régimes linéaires de fonctionnement, car **V_{be}** ne varie pas beaucoup. Il n'en est pas de même pour la zone **ZCE₂** qui est en inverse et qui supporte **V_{cb}**. En fait, nous avons donné au paragraphe précédent une évolution du courant de collecteur qui semble être indépendante de **V_{cb}** :

$$I_c = B_o \cdot \frac{s.e.n_i^2 \cdot Dn}{W_b \cdot N_a} \cdot \left(\text{Exp}\left(\frac{V_{be}}{V_T}\right) - 1 \right)$$

Ce n'est qu'une apparence, car **W_b** dépend de la largeur de **ZCE₂**, donc de **V_{cb}**. Si **V_{cb}** augmente, **W_b** diminue et donc **I_c** augmente. C'est l'effet **EARLY**. Pour minimiser cet effet, on a intérêt à ce que le collecteur "proche de la base", soit encore moins dopé que cette dernière. Si c'est le cas, c'est vers le collecteur que s'étendra la zone de charge d'espace. De plus, lorsqu'une tension sera appliquée au collecteur, la **ZCE₂** entre une zone **p** et une zone **N⁻** sera naturellement large, elle résistera mieux aux fortes tensions.

Malgré ces dispositions, l'application d'une trop forte tension peut encore avoir deux autres effets particulièrement gênant : le perçage de la base et le deuxième claquage. le perçage de la base est facile à comprendre, si la tension appliquée est trop forte, **W_b** diminue et les deux **ZCE** peuvent se rejoindre ; alors il n'y a plus de zone de trous à traverser donc plus de recombinaison. Il n'y a donc plus de contrôle possible du courant de collecteur par un flux de trou dans cette base. Ce perçage entraîne la mise en court-circuit du transistor, et s'il se prolonge au delà de quelques microsecondes, le transistor peut être détruit.

Pour expliquer le deuxième claquage, il faut faire un petit retour en arrière sur le bilan des courants à travers un transistor (**figure 3-2**) en détaillant le comportement de la **ZCE₂**. Nous savons que c'est une zone à fort champ et que les électrons issus de l'émetteur sont accélérés par ce champ. Ils atteignent des énergies de plusieurs électrons-volts, et sont parfois capables par choc, d'arracher un électron lié à un atome de silicium de cette **ZCE**. Ce faisant, ils créent à chaque fois une paire électron-trou, capable à son tour d'ioniser d'autres centres. Il y a phénomène d'avalanche avec forte augmentation du courant de collecteur. Ce phénomène peut être caractérisé par un facteur de multiplication du collecteur **M** (**figure 3-4**) qui est de la forme :

$$M = \frac{1}{1 - \left(\frac{V_{cb}}{V_{br}}\right)^m}$$

Le terme **M** est non forcément entier, supérieur à un et dépend du cristal.

L'expression de M reste définie pour $V_{cb} < V_{br}$ et diverge ensuite. L'effet d'avalanche a deux effets. Tout d'abord, un effet facilement prévisible : le courant de collecteur ne sera contrôlable que si la tension V_{cb} reste inférieure à cette tension V_{br} d'avalanche, mais un deuxième effet plus caché est tout aussi désastreux. Même avant la tension d'avalanche, l'effet existe et grossit le courant I_c . Il crée donc vers la base, un courant de trous $(M-1) \cdot B_0 \cdot I_1$. Ce courant vient grossir le courant i_{p2} . Le courant de trous total peut être important bien avant qu'on atteigne la tension d'avalanche, et il est capable, si l'on ne l'absorbe pas suffisamment par l'électrode de base (potentiel V_{be} suffisamment bas et peut-être même négatif) d'augmenter le potentiel de cette dernière donc de rendre le transistor plus passant.

et par emballement, de mettre le transistor en court-circuit. C'est le deuxième claquage, dont la tension d'apparition dépend cette fois de la valeur de la résistance en série sur la base et de la tension à laquelle elle est raccordée (figure 3-5).

En conclusion de ce paragraphe sur les effets parasites, on peut résumer les condition de fabrication d'un bon transistor ; par exemple (figure 3-6) le transistor npn vertical ou technologie planar.

Il faut un émetteur très dopé N^+ , une base moins dopée p , d'épaisseur faible mais constante (double diffusion), un collecteur peu dopé (N^-), suivi d'une couche N^+ , qui permet de remonter le contact en surface sans ajouter de résistance. Un tel transistor, réalisé dans une couche épitaxiée d'une dizaine de microns sur un substrat p^- , possède un gain β d'environ 100, a une tenue en tension de plusieurs dizaines de volts et répond en fréquence jusqu'à environ le GigaHertz. Des transistors P^+NP , au fonctionnement symétrique, sont bien sûr réalisables.

Très en vogue en technologie Germanium, ils sont de moins bonne qualité que leurs homologues N^+PN en technologie Silicium aussi ils ne sont généralement utilisés qu'en analogique et dans les cas de "force majeure".

3-5 Régimes de fonctionnement du transistor

Les équations obtenues au paragraphe 3-3 ont le mérite d'être simples et parlantes, mais ne sont pas complètes (nous sommes dans le cas d'une polarisation "normale"). En reprenant les équations de flux et en tenant compte du "report" possible de Φ_{5-6} , on aurait pu établir de façon rigoureuse un système indépendant du régime de polarisation :

$$I_e = I_{s1} \cdot (\text{Exp}(V_{be}/V_T) - 1) - \alpha_i \cdot I_{s2} \cdot (\text{Exp}(V_{bc}/V_T) - 1)$$

$$I_c = \alpha_n \cdot I_{s1} \cdot (\text{Exp}(V_{be}/V_T) - 1) - I_{s2} \cdot (\text{Exp}(V_{bc}/V_T) - 1)$$

I_{s1} et I_{s2} sont globalement les courants de saturation des 2 jonctions

émetteur/base et base/collecteur. α_n et α_i traduisent le rendement du report des flux Φ_{1-2} et Φ_{5-6} . Fixons quelques ordres de grandeur. Pour des transistors classiques (genre 2N2222),

$I_{s2} \# 10, I_{s1} \# 10 \text{ pA}$, $\alpha_n \# 0.99$ et $\alpha_i \# 0.50$. (Les différences de valeurs de ces paramètres aux 2 jonctions sont liées à la géométrie globale du dispositif et au dopage des différentes zones.)

Soit le montage "émetteur commun" de la figure 3-7. Le point de fonctionnement est donné pour différents I_b , par l'intersection (figure 3-8) de la caractéristique $I_c(V_{ce})$ avec la droite de charge du montage.

FIGURE 3-7. Transistor en émetteur commun.

FIGURE 3-8 Réseau de caractéristiques : Différents régimes.

On peut ainsi définir plusieurs régimes pour ce transistor (figure 3-9) :

- le mode actif (qui contient le régime linéaire),
- le mode bloqué (qui se subdivise en blocage rigoureux et pratique), et
- le mode saturé (qui se développe en quasi saturé et saturé).

FIGURE 3-9. Régime de fonctionnement du transistor germanium et silicium

3-5-1-Fonctionnement normal ($V_{be} > 0$, $V_{bc} < 0$)

Le mode normal a déjà été présenté dans les paragraphes précédents et constitue le mode actif de l'électronique analogique (souvent petits signaux). Le jeu d'équations se simplifie et correspond, (exprimé en fonction de V_{be}), au cas des paragraphes 2 et 3.

$$I_e = I_{s1} \cdot (\exp(V_{be}/V_T) - 1) + \alpha_i \cdot I_{s2}$$

$$I_c = \alpha_n \cdot I_{s1} \cdot (\exp(V_{be}/V_T) - 1) + I_{s2} = \alpha_n \cdot I_e + I_{cb0}$$

Si l'on pose

$$I_{cb0} = I_{s2} \cdot (1 - \alpha_n \cdot \alpha_i) \quad , \quad \beta = \alpha_n / (1 - \alpha_n) \text{ et}$$

$$I_{ce0} = (\beta / \alpha_n) \cdot I_{cb0}$$

le système devient alors:

$$I_e = (\beta / \alpha_n) \cdot I_b + I_{ce0}$$

$$I_c = \beta \cdot I_b + I_{ce0}$$

$$V_{be} \approx V_T \cdot \ln(I_e / I_{s1})$$

C'est le même système qu'au paragraphe 3 et l'on pourrait faire l'identification de a_0 et α_n , exprimer I_{s2} en fonction de $(I_{p2} + I_{n2})$ etc...

3-5-2- Mode bloqué ($V_{be} < 0$, $V_{bc} < 0$)

Le mode bloqué correspond à $I_c \neq 0$. Les deux diodes sont bloquées et le système initial se réduit à :

$$I_e = -I_{s1} + \alpha_i \cdot I_{s2} \approx 5 \text{ pA}$$

$$I_c = -\alpha_n \cdot I_{s1} + I_{s2} \approx I_{cbo} \approx 10 \text{ pA}$$

$$I_b = -(1 - \alpha_n) \cdot I_{s1} - (1 - \alpha_i) \cdot I_{s2} \approx 5 \text{ pA}$$

- Hors les phénomènes de claquage, ces courants sont quasi indépendants de V_{ce} : ceci constitue le blocage rigoureux (qui demande un courant de base négatif).

- Un montage de blocage simpliste aurait conduit à laisser la base non branchée ($I_b = 0$), mais rappelons que dans ce cas :

$$I_e = I_c \approx I_{ceo} \approx \beta \cdot I_{cbo} \quad (\sim 500 \text{ pA})$$

Un modèle simplifié du transistor bloqué (figure 3-10) est donc réduit à deux capacités de transition C_{teb} et C_{tbc} en parallèle sur deux sources

de courant de saturation i_{seb} et i_{sbc} de valeurs variables entre i_{cbo} et i_{ceo} selon les conditions de contre polarisation de la base.

3-5-3- Mode saturé

Lorsque le transistor, en mode normal, voit sa tension de base augmenter, le courant collecteur augmente, et si ce dernier est relié à la source d'alimentation V_{cc} par une résistance R_c , la tension du collecteur doit baisser, donc se rapprocher de V_b . peut-être au point de la rattrapper puis de la dépasser. Dans ce cas, V_{bc} peut devenir nul puis positif, mais dans ce cas, la jonction **b-c** n'est plus contre-polarisée. La **ZCE** diminue en taille et en champs. Cette zone d'attraction des électrons injectés par l'émetteur disparaît. Le facteur de transport diminue. Vu de l'extérieur, tout se passe de façon auto-équilibrante. Si I_b augmente, le rendement du report de I_e sur I_c diminue pour laisser I_c environ constant (pour que V_{bc} reste dans une zone de mise en quasi-conduction de la jonction). Le transistor entre progressivement en mode saturé.

L'augmentation de I_b , à courant I_c constant a une conséquence immédiate :

$$i_c = -e.D_n \cdot \frac{dn(x)}{dx} = \frac{e.D_n}{W_b} \cdot [(n(0)-n(w))] = c^{ste}$$

donc la pente du profil de densité est constante.

$$i_b = \frac{Q_s}{\tau_n} = e \cdot \int_0^w \frac{n(x)}{\tau_n} \cdot dx = \frac{e.W_b}{2\tau_n} \cdot [(n(0) - n(w)) + 2n(w)]$$

Si I_b augmente c'est que $n(w)$ augmente. Cela se traduit par une évolution de Q_s selon le profil de la figure 3-11. Tant que I_b augmentera, la charge Q_s augmentera (à pente constante) afin de permettre au courant de de recombinaison de compenser I_b .

Le modèle de transistor en régime saturé peut être donné par la figure 3-12. Il correspond à 2 modèles de diode en cascade.

3-6 Commutation du transistor

On ne s'intéresse qu'à la commutation du courant collecteur (ou de la tension V_{ce}) pour une commande appliquée entre la base et l'émetteur.

3-6-1 Description qualitative du phénomène de commutation.

Soit un créneau de tension appliqué au montage en émetteur commun de la figure 3-7 selon le schéma de la figure 3-13.

Tout d'abord, on retrouve sur i_b toutes les caractéristiques de l'attaque d'une diode en commutation, le pic de courant à la fermeture correspond à la charge de la capacité de transition C_{t1} . Il correspond à un retard à la "fermeture" du courant de collecteur. Le retard à l'ouverture correspond au recouvrement de la charge stockée Q_s dans la base. Côté collecteur, le vocabulaire consacré est le suivant :

t_d = retard à la croissance de i_c

t_r = temps de croissance (de 10 à 90% de i_c)

t_s = retard à la décroissance

t_f = temps de décroissance (de 90 à 10% de i_c)

avec $t_{on} = t_d + t_r$ et $t_{off} = t_s + t_f$ (l'ordre de grandeur varie selon les transistors de 10 μs à 0.1 μs .)

3-6-2- Commutation bloqué-passant.

Les deux jonctions étant initialement dans un état bloqué (capacités C_{t1} et C_{t2} chargées). Le premier temps t_d correspond à la décharge des zones de transitions selon le schéma de la figure 3-14. Ce schéma permet de définir la constante de temps τ_1 qui intervient dans le calcul de t_d .

On voit tout de suite que ce temps dépend du taux de bloquage (valeur de $-E_1$). On établit simplement qu'au premier ordre :

$$t_d \approx \tau_d \cdot \ln \left| \frac{E_2 + E_1}{E_2 - V_{\delta}} \right|$$

t_d est habituellement de l'ordre de τ_1 . Cette expression néglige le temps d'établissement du début de la charge stockée dans la base quand le transistor passe en mode actif (temps de traversée de base) et le temps de montée de I_c de 0 à 10%.

- Le deuxième temps correspond à un fonctionnement linéaire, avec établissement progressif de la charge Q_s à courant constant (R_b suffisamment grand et V_{δ} suffisamment proche de la tension finale $V_{b'}$).

On peut écrire :

$$I_b = \frac{Q_s}{\tau_n} + \frac{dQ_s}{dt} \quad \text{et} \quad I_c = \frac{Q_s}{t_b}$$

cette équation est facile à intégrer si $I_b \neq \text{cste} = I_{b1}$

$$Q_s(t) = \tau_n \cdot I_{b1} \cdot (1 - \text{Exp}(-\frac{t}{\tau_n})) \quad \text{et} \quad I_c(t) = \beta \cdot I_{b1} \cdot (1 - \text{Exp}(-\frac{t}{\tau_n}))$$

Dans cette zone, le transistor est équivalent au modèle de la figure 3-15 (si la forme ressemble, les éléments sont de valeurs différentes du modèle de **Giacoletto**).

FIGURE 3-15 Modèle linéaire du transistor en grands signaux.

FIGURE 3-16 Chronogramme du courant collecteur et de la charge stockée quand le transistor sature.

Le transistor entre en saturation quand I_c atteint le courant I_{c-sat} , tel

que $V_{bc} \neq 0V$ (figure 3-16). On calcule donc :

$$t_r = \tau_n \cdot \ln\left(\frac{\beta \cdot I_{b1} - 0.1 I_{c-sat}}{\beta \cdot I_{b1} - 0.9 I_{c-sat}}\right)$$

Quand $\beta \cdot I_{b1}$ est bien plus grand que I_{c-sat} (commande d'entrée suffisamment énergétique), I_c ne décrit qu'une fraction de l'exponentielle ($t_r < \tau_n$) et l'allure est quasi-linéaire (figure 3-14 et 3-16). Remarquons également que lorsque I_{c-sat} est atteint, Q_s évolue encore (en passant d'un profil triangulaire à un profil trapézoïdal). C'est à partir de cet instant que s'installe la charge de saturation.

3-6-3 Commutation passant-bloqué.

Quand le régime d'équilibre de l'état passant est atteint, si l'on provoque en entrée une commande de blocage, le courant i_b réagit comme un courant de diode. Tant que la base est noyée d'électrons, un courant inverse $-i_{b2}$ peut s'établir, uniquement limité par les éléments extérieurs ($-E1, R_b$). Hors la recombinaison, qui est indépendante des conditions de polarisation, ce courant inverse est seul capable de faire disparaître la charge Q_s de la base et tant que cette dernière existe et reste supérieure à la valeur de saturation Q_{s1} , I_c persiste et reste constant (figure 3-17).

FIGURE 3-17 Bloquage du transistor commandé en tension.

On est dans la phase de retard t_s . Si :

$$I_{b1} = \frac{Q_{s1}}{\tau_n} \text{ et } I_{bo} = \frac{I_{c-sat}}{\beta}$$

$$t_s = \tau_n \cdot \text{Ln}\left(\frac{I_{b1} + I_{b2}}{I_{b2} + I_{bo}}\right)$$

t_s est d'autant plus grand que le transistor était saturé (I_{b1} important) et d'autant plus petit que la tension de bloquage est grande en valeur absolue (I_{b2} important). Les conditions d'un bloquage efficace vont à l'encontre d'une mise en conduction rapide. Quand Q_s franchit Q_{s1} , I_c diminue. On entre dans la période t_f . La loi est formellement la même et t_f prend fin lorsque Q_s devient nulle :

$$t_f = \tau_n \cdot \text{Ln}\left(\frac{I_{b2} + I_{bo}}{I_{b2}}\right)$$

I_c a la forme d'un morceau d'exponentielle d'asymptote négative car $E_2 < 0$ mais comme I_c reste confiné entre I_{s-sat} et 0, on aura dans la plupart des cas ($t_f < \tau_n$) et I_c aura une allure linéaire (figure 3-14 et 3-17). S'il on fait un rapide bilan des circonstances de commutation, on voit qu'une commutation énergique (I_{b1} et I_{b2} important) peut raccourcir séparément les différents temps caractéristiques mais en intervenant "a contrario" sur t_r et t_s , ainsi que sur t_f et t_d . Un juste compromis est en général à trouver, qui dépend du problème précis de mise en oeuvre, et qui souvent se traduira par un taux de saturation "raisonnable" ($I_{b1} \approx 3 \text{ à } 10 \cdot I_{bo}$) selon que l'on veut une fréquence de fonctionnement maximum ou des fronts très raides.

3-6-4 Consommation de puissance en cours de commutation

Bloqué ou saturé, un transistor ne consomme que peu de puissance (ou I_c , ou V_{ce} est faible). Lors de la commutation, il n'en est pas de même, I_c et V_{ce} coexistent. En première approximation :

$$V_{ce} = V_{cc} - R_c \cdot I_c$$

et si I_c suit une approximation linéaire :

$$I_c = I_{c-sat} \cdot \frac{t}{t_r} \quad \text{ou} \quad I_c = I_{c-sat} \cdot \left(1 - \frac{t}{t_f}\right)$$

selon le sens de la commutation et en prenant séparément l'origine des temps au début de chaque variation.

Pour chaque impulsion transmise, l'énergie dissipée dans le transistor est

donc :

$$W = W_r + W_f \# \int_{t=0}^{t=t_r} V_{ce} \cdot I_c \cdot dt + \int_{t'=0}^{t'=t_f} V_{ce} \cdot I_c \cdot dt' \# \frac{V_{cc} \cdot I_{c-sat}}{6} \cdot (t_r + t_f)$$

En entrant dans le détail, on peut distinguer plusieurs types de bloquages, selon la valeur de i_{b2} par rapport à Q_{s1}/τ_n (figure 3-18). Tout d'abord, si i_{b2} de blocage est faible, la charge Q_s est détruite au rythme de la recombinaison, le transistor se désature alors qu'il est encore passant, la tension V_{ce} s'installe alors que I_c est encore important. Une telle commutation est lente, bien qu'un courant important puisse charger la capacité de transition collecteur/base. Il y a donc une pointe de puissance consommée quand ZCE_2 se désature, tant que ZCE_1 ne se bloque pas. A l'inverse, si I_b est trop important, la fraction de Q_s proche de ZCE_1 disparaît, alors que la ZCE_2 est encore passante et noyée d'électrons. Dans ce cas, I_c diminue fortement alors que la tension ne peut se réinstaller, dans ce cas, c'est un courant I_b qui terminera d'évacuer les charges proches de ZCE_2 . On aura alors une queue longue d'évacuation des charges restantes et de recharge de la capacité de transition... Le cas optimal se présente lorsque les deux jonctions vont se bloquer en même temps I_b s'occupant de la jonction émetteur/base et I_c de la jonction collecteur/base.

3-6-5 Compensation des transistors en commutation

Hors des considérations de limitations des tensions de commande ($E1$ et $E2$) pour des raisons de sécurité de fonctionnement, l'optimisation de la commutation sur charge résistive se fera strictement comme dans le cas d'une diode, avec un condensateur C_b en parallèle sur

R_b tel que $R_b C_b \neq \tau_n$ (revoir le paragraphe correspondant dans le chapitre sur les diodes) avec pour principal objectif de réduire t_s .

3-7 Commutation d'un montage Darlington

Un montage **Darlington** est une combinaison à deux transistors d'un montage amplificateur de courant et de tension (figure 3-19).

Le β_1 et le β_2 sont les gains respectifs des deux transistors, le gain en courant global du transistor équivalent, est

$$\beta = \beta_1 \cdot \beta_2 + \beta_1 + \beta_2 \left(1 - \frac{V_{be2}}{R_{i_{b1}}}\right)$$

Quand i_{b1} augmente et que le système entre en saturation, i_{b1} n'a plus d'action sur i_{c1} (qui fournit i_{b2}) donc V_{be2} ne varie plus. **T1** est seul à se saturer et **T2** qui reste à la limite de saturation conserve son gain propre. Ceci a surtout une conséquence sur la commutation de l'état saturé vers l'état bloqué. En effet, si une impulsion négative est appliquée en entrée, **T2** ne peut se bloquer que si i_{c1} commence par s'annuler. Les temps de stockage t_{s1} et t_{s2} des transistors **T1** et **T2** s'ajoutent donc.

De plus, tant que **T2** est saturé, l'évacuation de Q_{s1} (charge stockée dans **T1**) s'effectue uniquement par la base car il n'y a pas de tension collecteur possible. t_{s1} est donc très long. Comme **T2** n'a pu se saturer, t_{s2} serait relativement bref mais l'évacuation de Q_{s2} se produit dans une circonstance relativement défavorable ($i_{b2} = 0$).

Le temps t_f de descente du courant I_c correspond à celui du deuxième transistor seul, car il se produit à un moment où le transistor **T1** est déjà bloqué.

Globalement, le temps de commutation t_{off} est catastrophique, puisque le

premier transistor commute à tension V_{ce} nulle et le deuxième à courant i_{b2} nul. Pour t_{on} , c'est le contraire. On bénéficie du facteur multiplicatif des gains.

3-8 Commutation du transistor de puissance

Un transistor de puissance utilisé seul commute comme un transistor classique hors les considérations d'aire de sécurité en commutation qui assurent que la puissance dissipée pendant cette commutation ne va pas détruire le transistor (figure 3-5).

Le problème courant est que les circonstances de commutation sont très significativement modifiées en fonction de la charge à commuter. Ceci est particulièrement vrai lorsque la charge est selfique (ce qui est souvent le cas en électronique de puissance). Nous allons voir que les phénomènes de commutation propres du transistor vont être totalement masqués par les transitoires imposés de l'extérieur.

3-8-1 Commutation à l'ouverture d'une charge selfique

Le montage est celui de la figure 3-20. A l'instant $t = 0$, i_b devient négatif, le transistor évacue normalement Q_s puis se bloque. Le courant I_c installé ne peut cependant s'annuler à cause de la self et la tendance à baisser de I_c entraîne une augmentation du potentiel de collecteur pour compenser cette baisse.

On atteint ainsi le deuxième claquage à V_{br-Rb} . Le schéma équivalent est donné en figure 3-21. Il nous montre que la tension du transitoire dépend

de V_{br-Rb} (notée V_{brx} sur la figure 3-21) et que le temps de commutation est fixé principalement par les composants extérieurs L et R_c .

De plus, ce transitoire a toutes les chances de faire sortir le transistor de son aire de sécurité, aussi a-t-on l'habitude de compléter le schéma de la figure 3-20a par une diode appelée diode de récupération ou diode de "roue libre" aux bornes de la charge (R_c, L). Quand le transistor se coupe, la tension aux bornes de (R_c, L) tend aussi à augmenter, mais dès qu'elle dépasse V_{cc} de V_d , la diode se met à conduire et le courant qui circulait dans la self peut se boucler sur lui-même par la diode sans que le transistor ait à atteindre son deuxième claquage.

Le montage équivalent est celui de la figure 3-22. La surtension est limitée, mais il faut quand même remarquer que le transitoire de courant dans la self est plus long. En effet, si la constante de temps mise en jeu est la même, l'asymptote est beaucoup plus proche de zéro donc le temps relatif de commutation est bien plus long. Heureusement, ce courant ne concerne pas le transistor, qui a pu se bloquer à son propre rythme dès le temps $t=0$. La puissance dissipée dans le transistor est alors minimum.

3-8-2 Commutation à la fermeture

Si l'on installe un courant $i_b > 0$ alors que $i_c = i_{self} = 0$, quand i_c tend à devenir > 0 , la self, pour s'y opposer, absorbe toute la tension d'alimentation.

On a donc V_{ce} qui tend rapidement vers 0 alors que i_c est encore faible (on passe du point D au point E sur la caractéristique de la figure 3-20b au rythme de la mise en conduction du transistor). Ensuite le modèle équivalent du montage est donné en figure 3-23. Le courant s'installe dans

l'ensemble au rythme de $\tau = L/R_c$. On parcourt la branche de caractéristique de E jusque A.

FIGURE 3-23 Fermeture du transistor à courant initial nul

FIGURE 3-24 Fermeture du transistor à courant initial égal à I_o . Est marqué en pointillés le cas d'une diode lente.

S'il restait un courant $i_{self} = I_o$ à l'instant où l'on rend $i_b > 0$, c'est que l'on était encore au point de fonctionnement F (figures 3-24). Alors, quand le transistor entre en conduction, son courant I_c peut croître rapidement au détriment du courant dans la diode sans que cela demande à changer i_{self} et la diode voit la tension à ses bornes diminuer. Au point G de la caractéristique, la diode se bloque (avec peut-être un temps de recouvrement si le transistor est rapide). Le courant I_o est reporté sur le transistor, mais celui-ci tend toujours à augmenter son courant I_c . La self qui ne peut laisser I_c croître trop vite absorbe alors la tension V_{ce} , à courant quasi-constant (car ce phénomène est rapide). Globalement, on parcourt très rapidement la caractéristique F, G, H et l'on se retrouve pour finir dans le cas précédent. En partant du point H, on rejoint le point A par une remontée exponentielle vers $I_{c-sat} (= V_{ce}/R_c)$.

Remarquons que si la diode est plus lente que le transistor (pointillés sur la figure 3-24), elle n'a pas récupéré sa charge stockée au point G. Elle constitue alors un véritable court circuit pour le transistor (en parallèle sur (R_c, L)). Si cela est rarement destructeur, on se doute que c'est pour le moins catastrophique au niveau du bilan de puissance. En fonction de ce

temps de récupération de diode, on peut établir que la puissance consommée pendant une telle commutation varie entre :

$$\frac{1}{2} \cdot V_{cc} \cdot I_o \cdot t_r \leq W_{TF} \leq V_{cc} \cdot I_o \cdot t_r$$

4- En résumé

Un transistor bipolaire est constitué de deux diodes tête-bêche suffisamment proches pour que la diode injectée reporte son courant sur la deuxième diode. On a alors la possibilité de commander un courant important sous forte tension par un courant faible sous faible tension. En régime actif :

$$I_c = \beta \cdot I_b + I_{ceo}$$

$$I_b \# \left(\frac{I_{s1}}{\beta} \right) \cdot \text{Exp}\left(\frac{V_{be}}{V_T}\right)$$

En décomposant chaque grandeur en un terme constant de polarisation (I_{bo}, V_{beo}) et une partie signal variable (i_b, v_{be}),

$$I_{bo} + i_b = \frac{I_{s1}}{\beta} \left(\text{Exp}\left(\frac{V_{beo}}{V_T}\right) + \frac{I_{s1}}{\beta \cdot V_T} \cdot \text{Exp}\left(\frac{V_{beo}}{V_T}\right) \cdot v_{be} \right)$$

Notons aussi que dans les bonnes conditions de polarisation, le courant I_c existe grâce à l'installation dans la base d'une charge Q_s à profil triangulaire

$$I_c = \frac{2Q_s}{W_b^2} \cdot Dn = \frac{Q_s}{t_b}$$

et que cette charge est approximativement entretenue par un courant de base positif qui compense la recombinaison :

$$I_b = \frac{Q_s}{\tau_n} = \frac{t_b}{\tau_n} \cdot I_c = \frac{1}{\beta} \cdot I_c \quad (\text{à } I_{ceo} \text{ près})$$

Ce transistor peut être : - bloqué si $i_b < 0$, il n'est alors parcouru que par des courants de fuite de type saturation ou

- saturé si le mode d'utilisation introduit un courant i_b suffisant pour faire disparaître la tension V_{ce} ($i_b > i_{bo}$). Dans ce cas la charge Q_s ne reste pas de profil triangulaire mais devient trapèzoïdale afin de permettre à dn/dx de rester constant (I_{c-sat} constant) tout en augmentant Q_s de façon que Q_s/τ_n puisse égaier I_b

($Q_s > Q_{s0}$). L'excès de charge ($Q_s - Q_{s0}$) a un effet catastrophique sur le retard à l'ouverture du courant I_c et constitue la principale limitation de rapidité du transistor. Les circonstances d'attaque en commutation de l'ouverture et de la fermeture du transistor intervenant "a contrario", on a en général intérêt à limiter la saturation à un taux d'environ 3, pour avoir à la fois des fronts raides et linéaires, mais un temps de stockage t_s pas trop important (de l'ordre de τ_n dans ce cas).

Enfin en général, un transistor qui commute n'arrive que rarement à imposer son propre rythme de commutation aux composants extérieurs, on a vu ici le cas d'une charge selfique, on verra celui de la charge capacitive, à l'occasion des transistors MOS.

4 TRANSISTORS A EFFET DE CHAMP EN COMMUTATION

4-1-Fonctionnement du transistor à l'effet de champ MOS.

4-1-1-Principe de fonctionnement

Ce transistor s'appelle **MOS** pour métal, oxyde, silicium (figure 4-1). Comme le transistor bipolaire, il est composé de deux jonctions têtes-bêches, mais il y a cette fois quatre électrodes. La zone centrale (**Substrat**) est reliée à la référence de potentiel de masse (**0V** pour un substrat **p**). Une commande est appliquée sur le métal de **Grille** (ou gachette) placé au dessus d'un **Oxyde** isolant. Les deux autres électrodes sont appelées **Source** et **Drain**. Elles sont pour l'instant toutes les deux à la masse. L'ensemble substrat, isolant, grille constitue un condensateur dont l'une des électrodes (substrat) est un conducteur de relativement mauvaise qualité (**p⁻**). Quand un potentiel positif est appliqué à la grille, un condensateur normal voit cette grille s'appauvrir en électrons à sa surface interne et sa deuxième électrode s'enrichir des mêmes charges. Pour que les électrodes soient séparément équipotentielles, il faut d'ailleurs que les charges en regard soient égales (et de signe opposé).

Figure 4-1 Transistor MOS à canal n. Un potentiel de grille positif par rapport au substrat peut créer un canal d'électrons par effet de champ.

Figure 4-2 Condensateur de grille d'un transistor MOS.

C capacité du condensateur de grille

λ épaisseur du canal

V_p voir le texte.

$s = \lambda \cdot W$, $S = W \cdot L$, $v = s \cdot L$

$\langle n \rangle = Q2/v$

C'est ce qui se passe ici. Pour un état de charge positif du condensateur grille/substrat, une charge négative sera condensée contre l'isolant du coté de ce substrat. Or, cette deuxième électrode contient pour l'instant une précharge de porteurs libres essentiellement composée de trous (substrat **p**) compensée électrostatiquement par les impuretés

fixes négatives. Dans un premier temps cette modification de charge se traduira par un appauvrissement en trous surtout près de sa surface alors que la loi d'équilibre est toujours respectée ($n.p = C_{ste}$). Si l'on applique un potentiel régulièrement croissant à la grille, le substrat près de la surface va donc d'abord s'appauvrir en trous, puis lorsque le potentiel de grille sera devenu suffisant, des charges libres négatives pourront apparaître en excès. Il y a alors plus d'électrons que de trous contre l'isolant et tout se passe comme si l'on pouvait régler à volonté la densité de charge libre d'une couche pelliculaire (canal n) en fonction du potentiel V_{gs} appliqué entre grille et substrat. Il existe naturellement des dispositifs symétriques à canal p sur substrat n^- . On peut évaluer la résistance équivalente de cette couche conductrice prise entre son contact de Drain et de Source (figure 4-2).

4-1-2-Régime résistif

Avant l'application de V_{gs} , aucun courant (autre que de saturation) ne peut parcourir les deux diodes têtes-bêches existant entre source et drain soumis à une différence de potentiel V_{ds} . Le transistor est bloqué. Si l'on recommence l'expérience avec une tension V_{gs} suffisante, un courant peut s'établir puisqu'un semi-conducteur n (pelliculaire, il est vrai) établit un canal entre la source et le drain (de nature n^+ tous les deux). Le transistor se comporte donc comme une résistance commandable par V_{gs} : infinie pour V_{gs} inférieure à une certaine valeur puis de plus en plus faible quand V_{gs} augmente.

En fait, pour un transistor à canal n , un potentiel appliqué V_{gs} entraîne la charge de l'électrode supérieure à la valeur $(C.V_{gs})$ si le condensateur ainsi constitué vaut C . Pour V_{gs} de valeur suffisante, la charge libre collée contre l'isolant, côté substrat vaut donc $(C.V_{gs}-Q_0)$ si l'on désigne par Q_0 la charge initiale due aux trous qu'il faut d'abord "compenser". La charge du canal contribue à établir une densité $n=(C.V_{gs}-Q_0)/(s.L)$ où s désigne la section du canal et L sa longueur. Si l'on fixe le potentiel de la source au potentiel du substrat et que l'on applique une différence de potentiel V_{ds} entre drain et source, cette dernière provoque une vitesse de dérive des charges égale à $\mu.V_{ds}/L$ (si μ désigne la mobilité des électrons). Un courant I_{ds} peut donc s'installer entre drain et source : $I_{ds} = q.s.n.\mu.V_{ds}/L$ (où q désigne ici la charge élémentaire de l'électron). Soit en remplaçant n par sa valeur : $I_{ds}=q.\mu.(C.V_{gs}-Q_0).V_{ds}/L^2$. A ce stade on peut écrire Q_0 sous la forme $C.V_p$ et interpréter V_p comme le potentiel de grille minimum permettant la création du canal. V_p est positif pour un canal n . En remplaçant C par sa valeur : $(\epsilon_o.\epsilon_r.W.L/e)$ où e désigne l'épaisseur de

l'isolant, on arrive donc à :

$$I_{ds} = (q \cdot \mu \cdot \epsilon_o \cdot \epsilon_r / e) \cdot (W/L) \cdot (V_{gs} - V_p) \cdot V_{ds} = k \cdot (W/L) \cdot (V_{gs} - V_p) \cdot V_{ds}$$

Une équation du même genre aurait pu être établie pour un canal p avec une valeur de V_p négative. A V_{gs} fixé, nous avons un régime résistif linéaire qui relie I_{ds} et V_{ds} .

Cette expression n'est valable que si $V_{ds} \ll (V_{gs} - V_p)$, car dans le cas contraire, le graphique de la figure 4-3 montre clairement que le potentiel grille/canal évolue le long du canal et diminue côté drain. Cela augmente donc la résistivité locale et diminue le courant global.

Pour tenir compte de ce phénomène on remplacera la différence de potentiel grille/canal variable, par sa valeur moyenne supposée constante $(V_{gs} - V_p - V_{ds}/2)$. Dans l'expression du courant I_{ds} , cela donne : $I_{ds} = k \cdot (W/L) \cdot (V_{gs} - V_p - V_{ds}/2) \cdot V_{ds}$.

La caractéristique est maintenant parabolique. Pour que le canal existe

malgré tout il faut qu'en chacun de ses points, le potentiel reste inférieur à la tension de grille d'au moins V_p . Ceci amène une valeur limite pour V_{ds} : $V_{ds} < (V_{gs} - V_p)$, valeur atteinte précisément pour le sommet de la parabole (Figure 4-4).

4-1-3-Régime source de courant

Lorsque $V_{ds} > V_{gs} - V_p$, il y a fatalement apparition d'une discontinuité de tension à l'extrémité du canal côté drain, car pour exister, tous ses points doivent rester à un potentiel inférieur à $(V_{gs} - V_p)$ (la répartition des potentiels sous ce canal ne peut d'ailleurs plus évoluer). A cet endroit, une zone de résistivité très grande de type **ZCE** se développe et absorbe tout accroissement de V_{ds} . Le potentiel en bout de canal, côté drain devient constant, égal à $(V_{gs} - V_p)$ et le profil électrostatique du canal devient invariant. Cela veut dire que le courant d'électrons qui parcourra ce canal devient lui aussi constant, fixé par une tension apparente de drain égale à $(V_{gs} - V_p)$. Il vaut donc :

$$I_{ds} = k \cdot (W/L) \cdot ((V_{gs} - V_p)/2) \cdot (V_{gs} - V_p)$$

$$\text{soit : } I_{ds} = (k/2) \cdot (W/L) \cdot (V_{gs} - V_p)^2$$

La caractéristique de la figure 4-4 nous montre alors que le dispositif est équivalent à une source de courant (en exacte continuité avec la courbe du mode résistif).

Cette explication (à l'ordre zéro) est loin de refléter tous les phénomènes présents dans un tel composant, mais elle est très simple et suffisante pour notre étude de la commutation. On se doute par exemple, que V_{ds} module la largeur de la zone de "pincement" du canal, donc la longueur restante du canal (surtout pour les composants à canal court). Il doit donc exister un phénomène d'inclinaison des caractéristiques dans les paliers horizontaux (comme le phénomène **EARLY** des transistors bipolaires). On a également dans la zone de pincement, un champ important (comme pour la **ZCE** de collecteur d'un bipolaire), il existera en conséquence les phénomènes habituels de percement ou d'avalanche qui au premier niveau, limiteront surtout la zone d'utilisation normale du dispositif.

Le transistor que l'on vient de décrire est un transistor à canal **n** (substrat **p**). Il est non conducteur lorsque sa grille est au potentiel 0 (normally off ou n-off). A la construction, on aurait pu par implantation ionique, pré-crée un canal **n** très fin dans le substrat **p**, ce canal existerait donc dès $V_{gs} = 0$, mais serait modulable comme pour un transistor normal (le transistor est alors appelé normally on). En fait il aurait les mêmes équations de comportement qu'un transistor habituel avec pour seule différence $V_p < 0$.

On aurait pu également décrire le fonctionnement des transistors **MOS** avec un canal **p** dans un substrat **n**. Remarquons seulement que dans ce

cas, il faut appliquer une tension V_{gs} plus négative que V_p pour que le canal existe (n-off) ou soit plus conducteur.

4-1-4 Equations des transistors MOS

Nous résumerons cette étude du fonctionnement des transistors **MOS** par les équations suivantes (conventions de la figure 4-5) pour un canal **n** :

$$I_{ds} = 0$$

si $(V_{gs} - V_p) < 0$ $V_p > 0$ pour un transistor **n** (n-off)

$$I_{ds} = k \cdot (W/L) \cdot (V_{gs} - V_p - V_{ds}/2) \cdot V_{ds}$$

si $(V_{gs} - V_p) > V_{ds} > 0$

$$I_{ds} = (k/2) \cdot (W/L) \cdot (V_{gs} - V_p)^2$$

si $V_{ds} > (V_{gs} - V_p) > 0$

pour un canal **p**, les équations sont bien sûr symétriques

$$I_{ds} = 0$$

si $(V_{gs} - V_p) > 0$ $V_p < 0$ pour un transistor **p** (n-off)

$$I_{ds} = k \cdot (W/L) \cdot (V_{gs} - V_p - V_{ds}/2) \cdot V_{ds}$$

si $(V_{gs} - V_p) < V_{ds} < 0$

$$I_{ds} = (k/2) \cdot (W/L) \cdot (V_{gs} - V_p)^2$$

si $V_{ds} < (V_{gs} - V_p) < 0$

4-2-Montages de base à transistor MOS

Afin de prendre contact avec ce nouveau dispositif au comportement aussi simple, nous étudierons le fonctionnement du

montage non moins simple de la figure 4-6a.

On suppose pour commencer que ($V_{gs} = V_{eo}$), tel que le point de fonctionnement (point de repos) soit donné par le point A de la figure 4-6b.

Ce point est obtenu par intersection de la droite de charge partant de V_{cc} , de pente $-1/R_d$ et la caractéristique $I_{ds}(V_{ds})$ pour $V_{gs} = V_{eo}$:

$$I_{dso} = (k/2) \cdot (W/L) \cdot (V_{eo} - V_p)^2.$$

Si partant de cette situation, on superpose à V_{eo} un signal v_e , I_{ds} se décompose au premier ordre en deux contributions :

$$I_{ds} = I_{dso} + k \cdot (W/L) \cdot (V_{eo} - V_p) \cdot v_e = I_{dso} + k' \cdot v_e$$

On en déduit qu'un tel montage peut fonctionner en amplificateur inverseur de petits signaux de gain en tension : $G = -R_d \cdot k'$. Ce gain en tension, est communément plus faible que dans le cas des transistors bipolaires, mais il faut remarquer que le gain en puissance, lui, est bien plus grand (pour une puissance de sortie constante, il ne faut pas de puissance d'entrée permanente, juste une énergie transitoire de charge/décharge de la capacité de la grille d'entrée).

En grands signaux, lorsque V_{gs} varie de 5 à 0 Volts (avec un V_p de

+1V), le point de fonctionnement décrit toute la droite de charge de **B** à **C**. On peut ainsi construire point à point, la caractéristique de transfert en grands signaux ($V_s = f(V_g)$).

On voit que de part et d'autre d'une zone relativement linéaire de gain **G**, la courbe se complète par deux plateaux de pente faible. A partir de cette caractéristique, on peut déterminer les trois régimes de fonctionnement du transistor. Comme pour le bipolaire, nous avons de part et d'autre du régime actif, un mode bloqué et un mode que nous appellerons ici passant, puisque l'appellation "saturé" est plus communément attribuée au comportement "en source de courant", qui fait partie du mode actif.

Nous verrons plus tard que cette forme non linéaire en **S** est la base de la fonction de "régénération" des dispositifs logiques, aussi allons nous modéliser le transistor dans les différents modes, pour voir quels sont les phénomènes pouvant limiter sa rapidité d'évolution d'un mode à l'autre.

4-3 Modélisation du MOS

Le transistor **MOS** est un dispositif "unipolaire". Son modèle peut être construit à partir de la figure 4-7a.

En se souvenant qu'habituellement source et substrat sont reliés, on peut distinguer les capacités d'influences géométriques entre grille et substrat, grille et drain, grille et source et enfin grille et canal. Il y a également à considérer les capacités source/substrat, canal/substrat et drain/substrat. Pour compléter le modèle, il faut tenir compte du fait que le canal existe ou non. S'il n'existe pas, aux courants de saturation de diodes en inverse près, le modèle se réduit à celui de la figure 4-7b. Le transistor est bloqué. Modifier son état demandera d'abord de modifier l'état de charge de C_{gs} en parallèle sur C_{gd} .

Quand le transistor est en mode résistif, le canal est quasi-homogène et uniforme. Géométriquement, il est évident que la capacité C_{gc} qui apparait doit être plus importante que toutes les autres, ne serait-ce qu'à cause de la finesse de l'oxyde. Le meilleur schéma serait du genre de la figure 4-7c, que l'on transforme en éléments localisés en répartissant la capacité de canal à parts égales des côtés source et drain (figure 4-7d).

Lorsque le transistor est pincé en mode source de courant, le canal est plutôt équipotentiel à la source, de ce fait, la capacité de canal C_{gc} se reporte principalement sur cette dernière (figure 4-7e). Dans ce cas, la capacité globale grille/source est d'un ordre de grandeur supérieure à la capacité C_{gd} qui sera souvent négligée, sauf lorsque le montage sera utilisé en amplificateur analogique de tension (car un effet dit de **Miller** augmenterait la capacité équivalente vue de l'entrée dans un rapport égal au gain).

4-4-1 Aspects qualitatifs

Considérons le montage de la figure 4-8 que nous attaquons par le signal de la figure 4-9. Le modèle appelle quelques commentaires. Ce transistor est un dispositif qui travaille uniquement avec des porteurs majoritaires. Même les électrons du canal sont, par effet de champ, dans un état d'équilibre vis à vis de la recombinaison. De ce fait, les potentiels des électrodes évolueront si les charges des capacités évoluent et celles-ci évolueront de façon "habituelle", en fonction des courants qui circulent sous l'effet des potentiels appliqués ($I = C \cdot dV/dt$). Il n'y a pas de conflits entre la diffusion de charges injectées et la conduction par champ, comme dans les transistors bipolaires. La conséquence est que le modèle est très "structural". Des résistances vont limiter la vitesse de charge des capacités qui vont conduire à l'établissement de potentiels et donc, à l'établissement de courants permanents. Une conséquence au deuxième ordre est que "charger" un tel transistor par des condensateurs extérieurs, en entrée comme en sortie, ne modifiera pas la nature des phénomènes mais peut être leur importance relative. Ceci va nous conduire à étudier directement le comportement du

transistor en commutation lorsqu'il est branché sur des charges capacitives (parasites ou utiles), car c'est le mode de fonctionnement le plus fréquent dans les circuits intégrés.

Dans un premier temps, pour les instants précédant le point A, le canal est absent et le système se réduit aux capacités géométriques. Après application de la tension de commande, le potentiel de grille évolue selon un circuit passe-bas du premier ordre et par la capacité C_{gd} , on assiste à un report d'une fraction de tension d'entrée sur le drain (pont diviseur C_{gd} , C_{ds}). Sur la figure 4-10, le point de fonctionnement évolue de A à B.

Quand V_{gs} dépasse V_p , le transistor commence à conduire (l'installation du canal peut être considéré comme rapide devant les autres phénomènes). Un courant s'installe, qui tend à décharger $C_{gs} + C_{util}$ donc à faire baisser V_{ds} , "a contrario" du report de l'échelon d'entrée. Sur la caractéristique (figure 4-10), la tension V_{ds} va parcourir un arc grossièrement vertical de B à C et le point de fonctionnement atteint le point C avec une tension de grille et un courant de drain totalement établi, alors que la tension V_{ds} est encore élevée. Le temps qui s'est écoulé est approximativement égal à t_{doff} . Il correspond à l'établissement d'un courant quasi indépendamment de la tension de sortie.

La deuxième phase correspond à la décharge effective de $C_{\text{util}} + C_{\text{gs}}$ par un courant de drain établi et quasi constant, au moins tant que le point de fonctionnement évolue entre **C** et **D**. Au point **D**, la tension V_{ds} est souvent très basse. Dans ce cas, le transistor a déjà quasi-commuté (courant établi, tension disparue)...une queue de tension sera malgré tout présente entre les points **D** et **E**. L'ensemble du passage de **C** à **E** constituera le temps t_f , temps d'évolution de la tension, à courant établi.

Pour la commutation inverse, le transitoire est également d'allure complexe et peut grossièrement se décomposer en un temps de retard à la montée t_{don} et un temps de montée t_r .

Le premier correspond au temps effectif de blocage du courant. La forme de la tension en fonction du temps et de la trajectoire $I(v)$ entre les points **E**, **F**, et **G** s'explique par le fait qu'au début, le courant diminuant, la tension V_{ds} a tendance à augmenter, mais en même temps la conductance de drain diminue et l'effet de report de charge par l'entrée sur le drain se fait de plus en plus sentir. La tension V_{gs} évoluant vers les tensions plus négatives, ceci se traduit par un pic de tension négative en accompagnement de l'évolution de la grille. Globalement, après un temps de retard t_{don} , la tension de grille (et donc le courant de drain) a complètement commuté. On se retrouve au point **G** avec une capacité de sortie à charger à la tension d'alimentation par la résistance R_D . Ceci se fera pendant le temps t_r .

4-4-2 Evaluation de $t_{\text{doff}} (= t_f)$

La tension V_{gs} évolue en première approximation, comme un premier ordre de constante de temps τ_1 et tant que $V_{\text{gs}} < V_p$, le modèle

équivalent est réduit à celui de la figure 4-11a.

Au delà de cette tension, un courant I_{ds} s'installe, mais dans l'hypothèse d'un transitoire suffisamment bref (τ_1 petit), on assiste au report d'une fraction de l'échelon d'entrée sur la tension du drain (pont diviseur capacitif C_{gd}/C_{util}). Quand la tension V_{gs} parvient à 90% de V_{e1} , le courant peut être considéré comme totalement établi, alors que la tension de sortie V_{ds} n'a encore que peu évolué. Ceci est dû à la valeur de la capacité de sortie mais aussi au report d'une partie de l'échelon positif d'entrée sur le drain. Le point de fonctionnement est autour du point C : $t_{doff} = t_1 \# 2.2 \cdot \tau_1$.

4-4-3-Evaluation de $t_f (= t_2 + t_3)$

Dans un premier temps, on parcourt l'arc C-D de la figure 4-10. Le schéma équivalent est donné en Figure 4-11b. On part d'une tension qui vaut environ E_0 et l'on se dirige asymptotiquement vers $(E_0 - R_d \cdot I_{Dss})$ selon l'équation :

$$V_{ds} = E_0 - R_d \cdot I_{Dss} \cdot (1 - \text{EXP}(t/\tau_2))$$

Le temps t_2 est écoulé quand $V_{ds} = (V_{e1} - V_p)$

$$t_2 = \tau_2 \cdot \ln (R_d \cdot I_{dss} / (R_d \cdot I_{dss} - E_0 + V_{e1} - V_p))$$

Alors on entame la troisième phase de la commutation et le schéma équivalent est celui de la figure 4-11c. L'évolution est alors exponentielle, de constante τ_3 (inférieure à τ_2 , mais il faut remarquer que l'asymptote est aussi beaucoup plus proche). Pour s'approcher depuis le départ, à mieux de 10% de la valeur d'équilibre (V_{sat}), le temps nécessaire dépend de la valeur relative de V_{sat} et de ($V_{e1} - V_p$). On considérera en général qu'il suffit de s'approcher au tiers de cette nouvelle asymptote : $t_3 \approx \tau_3$. Au total, $t_f = t_2 + t_3$.

4-4-4 Temps de retard t_{don} à la commutation passant/bloqué

En début de la commutation du courant, le transistor est passant et sa conductance est grande. Le schéma équivalent vu de l'entrée est du genre de la figure 4-11d et au moins au début, l'évolution temporelle de V_{gs} est exponentielle de constante τ_1 . Malgré l'évolution de la répartition de la capacité de canal au cours de la commutation, on conservera cette valeur pendant toute la commutation. Quand V_{gs} varie, la conductance Y_d devient faible. Le drain n'est plus maintenu par une impédance faible à V_{sat} , son potentiel augmente en suivant la droite de charge car I_{ds} diminue. Lorsque I_{ds} est devenu faible, il se met alors à diminuer car V_{gd} reporte une partie de sa variation négative par un schéma du type de la figure 4-11a. Le retard t_{don} correspond au temps de commutation de la grille, il donne le temps de commutation du courant, quasi indépendamment de l'évolution de la tension de drain. Dans ces conditions : $t_{don} \approx 2.2 \cdot \tau_1$. Pendant ce temps, on a parcouru la trajectoire E, F, G sur la figure 4-10.

4-4-5 Temps de montée de la tension de sortie t_r

Cette montée se fait approximativement à courant I_{ds} nul et V_{gs} constant. Le transistor est déjà totalement "coupé" et n'intervient plus que par ses capacités parasites selon le modèle de la figure 4-11e. Partant d'une tension que l'on considère comme quasi-nulle, on évolue exponentiellement vers E_0 pour approcher à 90% de l'asymptote.

On aura donc : $t_r \approx 2.2 \cdot \tau_3$.

4-5 Optimisation de la commutation du transistor MOS

On ne peut espérer compenser la commutation du transistor à proprement parler. On peut améliorer par τ_1 le temps de commutation de la grille en diminuant R_g , ou en branchant un condensateur en parallèle afin de diminuer sa résistance dans les transitoires. On peut enfin donner à l'attaque de tension une forme du type de la figure 4-12 toujours pour diminuer le transitoire de charge de C_{gs} .

Remarquons qu'on ne peut ainsi qu'augmenter la vitesse d'installation du courant interne I_{ds} , mais pas celle du courant externe utilisable (courant à travers la charge), lié à la valeur de la tension de drain. Or celle-ci n'est en première approximation, lié qu'à la constante de temps $\tau_2 = (R_d \cdot C_{util})$. Pour améliorer les choses, on peut donc vouloir diminuer R_d .

Figure 4-12 Attaque forcée

Dans ce cas, on diminue l'incursion de tension et l'on augmente le courant nécessaire à la commutation. On augmente donc les tensions de commande et la puissance nécessaire à la commutation...

On peut au contraire chercher à diminuer C_{util} . Le malheur est que C_{util} est la "capacité utile" de la commutation. On ne pourra donc bien souvent pas "régler" cette capacité, mais plutôt être vigilant à sa valeur. Remarquons enfin que prendre un transistor "large" (W/L grand), augmente les courants, mais entraîne un dimensionnement en proportion des capacités internes (C_{gd} , C_{gs} , C_{ds} ...). L'amélioration sur la commutation sera donc toute relative.

4-6 "Switch" à transistor MOS

Soit un transistor NMOS (figure 4-13a) et $V_{gsub} = 0V$. Quelque soit la tension V_{in} appliquée (on suppose qu'il n'y a pas de sources de courant du côté de S_2), le transistor est **non passant** car la différence de potentiel entre G et $S1$ ou $S2$ ne peut qu'être négatif.

Donnons maintenant à V_{gsub} , une valeur supérieure à V_p (tension de création de canal), le transistor est conducteur pour toute tension

appliquée côté S_1 inférieure à $(V_{gsub} - V_p)$. Si cette dernière condition n'était pas respectée, il ne serait conducteur que lorsque V_{out} est inférieure à $(V_{gsub} - V_p)$. V_{out} augmenterait donc et deviendrait stable à cette valeur limite.

Dans un tel fonctionnement, une tension d'entrée peut être transmise en sortie si elle reste inférieure de V_p à la commande de la grille. A contrario, si V_{gsub} est suffisamment positif (supérieur de plus de V_p à la plus grande des valeurs que peut prendre $V_{in}(t)$), le transistor est toujours passant et la tension finale en S_2 peut reproduire celle en S_1 (si le signal V_{in} est suffisamment lent pour en laisser le temps). Comme V_{ds} finit toujours par devenir faible, on aboutit systématiquement à un régime de type résistif et "comportementalement parlant", il n'y a pas de drain. C'est pour cela que nous avons adopté les notations S_1 , S_2 , V_{in} et V_{out} sur la figure 4-13a.

Le schéma équivalent est donné en figure 4-13b. La conductance Y_d est variable en fonction de V_{gs} (S est parmi S_1 et S_2 l'électrode de potentiel inférieur : $V_{gs} = \sup (V_{gs1}, V_{gs2})$).

Un tel montage est appelé **switch analogique** car la tension de sortie en régime établi, reproduit la tension d'entrée. Ceci demande d'ailleurs que la bande passante du signal d'entrée soit plus petite que l'inverse de $2,2 \cdot \tau_{max}$ (où $\tau_{max} = C_{util} \cdot R_{on max}$) et ceci impose bien une borne inférieure à V_g .

Cela demande pratiquement, de limiter la plage d'entrée et de renforcer la commande comme le montre la courbe de la figure 4-14 et le montage de la figure 4-15.

Pour éviter cet ennui, on peut également monter un interrupteur double en utilisant simultanément un transistor n et un transistor p en parallèle (figure 4-16).

On a alors un **SWITCH CMOS** ("complementary" MOS). Les commandes V_{g1} et V_{g2} sont complémentaires. Quand :

$V_{g1} = -V_{cc} = -V_{g2}$, pour toute tension V_{in} appartenant à l'intervalle $\{-V_{cc} + V_{cc}\}$, les deux transistors sont simultanément non passants. Pour $V_{g1} = V_{cc} = -V_{g2}$, les 2 résistances R_{on} évoluent en fonction de V_{in} et V_{out} selon la figure 4-17.

En fait, le switch CMOS est réductible à une résistance R_{switch} quasi constante sur toute la plage $\{-V_{cc} + V_{cc}\}$. Par rapport au switch simple, le switch CMOS présente donc un certain nombre d'avantages. La tension de sortie suit toujours la tension d'entrée et les transitoires sont plus simples à calculer. A dimensions égales, ils sont plus rapides : $R_{on \max}$ (fig. 4-14) $\gg R_{switch} \# C^{st}$. A l'inverse, il faut employer deux transistors complémentaires par interrupteur et la commande reste plus complexe.

5 LOGIQUE ELECTRONIQUE.

5-1 de l'analogique au numérique.

5-1-1 introduction.

Un circuit électronique est obtenu par association de dispositifs élémentaires (dipôles ou quadripôles, passifs ou actifs, linéaires ou non, polarisés ou non).

Ces circuits peuvent être utilisés de façon analogique pour traiter un signal électrique (évolution dans le temps du potentiel d'une électrode) par exemple pour son amplification, filtrage, transposition de fréquence (modulation) mais dans tous ces systèmes, et en dehors de l'utilisation d'"informations a priori" (de localisation de la bande spectrale utile), tous ces traitements ne peuvent que dégrader le rapport Signal sur bruit ($R(S/B)$). La conséquence de tout cela est que la complexité de traitements qu'un signal peut subir, avant de disparaître dans le bruit, est très limitée. L'électronique intégrée a encore compliqué le problème puisqu'elle rend impossible, a posteriori de la construction, les éventuels réglages de polarisation, de linéarisation de caractéristique... etc...

Dans certains cas, et au prix de compromis sur la densité informatique du support, on peut fiabiliser les traitements et les rendre "robustes" au bruit ambiant. Cette électronique reste analogique dans son fonctionnement mais l'interprétation se fait "par plage". Elle est encore appelée électronique multivaluée, et à l'extrême limite (qui est le cas usuel), elle peut être électronique binaire comme sur la figure 5-1.

Dans ce cas, l'information sera supportée par 2 états de "charge" distinctes des capacités (parasites ou non) associées à chaque équipotentielle (une équipotentielle est un sous ensemble de conducteurs en "court circuit" reliant, dans un circuit certaines entrées à certaines sorties...)

On va voir de plus que les non linéarités nécessaires ne sont pas forcément à introduire spécifiquement et peuvent exploiter les non linéarités propres des dispositifs mis en oeuvre... On peut donc souvent en profiter pour simplifier les schémas et faire disparaître les blocs de compensation ou de polarisation en zone linéaire.

5-1-2 Matériel de base de l'électronique logique.

On peut définir la liste des dispositifs élémentaires nécessaires aux circuits numériques et décrire leur caractéristique au niveau électrique ou logique (Figure 5-2).

Il y a la source de tension et la référence de masse qui permettent en général de définir les 2 états de tension haut et bas, puis la résistance, le condensateur (voulus ou parasites), la diode que l'on peut réduire le plus souvent à sa fonction de redressement ($I > 0$) et les transistors, bipolaires ou MOS avec des variantes (nnp, pnp, Canal n, Canal p, normally on ou off). Ces éléments sont d'abord assemblés en portes qui regroupent différentes fonctionnalités.

"En logique des entrées", des entrées sont d'abord "combinées" par un bloc combinatoire mais avant cascade et "distribution" il faut "régénérer" le niveau électrique et préparer le signal à supporter l'action du bruit sans perte d'information, c'est à dire sans ambiguïté d'interprétation. On se doute que ce bloc de régénération doit augmenter la puissance des signaux de sortie (faible impédance) et produire des niveaux "au gabarit". Il doit donc contenir un amplificateur saturable. En logique des entrées, la distribution se fait donc directement après amplification par application du potentiel de sortie aux différentes entrées qui doivent utiliser le signal issu de cette porte (l'aptitude d'une porte à supporter en puissance la gestion d'un certain nombre d'entrées s'appelle la sortance).

En logique binaire, il existe deux types de circuits combinatoires simples :

les circuits à diode et ceux à interrupteurs (figure 5-3), les premiers utilisant des diodes comme élément non linéaire.

De ce fait, étant purement passif, le gain en puissance d'un tel bloc ne peut être qu'inférieur à 1, la sortance également. On peut le vérifier en remarquant que la puissance disponible en sortie ne peut qu'être inférieure à la puissance nécessaire à sa commande puisque c'est précisément celle-ci qui absorbera la première pour modifier l'état de sortie. En logique à diode, le bloc combinatoire est donc suivi explicitement d'un amplificateur de régénération. La combinatoire est réalisée de la façon suivante: en l'absence d'entrée à l'état bas aucune diode ne peut conduire, aucun courant ne peut traverser la résistance (Figure 5-3a), l'état de sortie est haut (sauf si l'amplificateur est inverseur...); la fonction logique réalisée est le ET logique (le NAND si l'amplificateur est inverseur); nous verrons que ce schéma est à la base de la famille TTL.

On peut également réaliser d'autres fonctions par exemple un NOR (Figure 5-3a) composé d'un OU et d'un amplificateur "inverseur" (il suffit d'une entrée à 1 (haut) pour que le point commun des deux diodes soit à un potentiel haut, donc que le transistor soit saturé avec S_2 à l'état bas). Ce simple transistor semble capable de réaliser la fonction de régénération (Ce montage fut à la base d'une logique aujourd'hui abandonnée, la DTL).

En "logique à interrupteur", le composant de base présente habituellement du gain puisqu'il faut moins d'énergie pour le commander qu'il peut en libérer. Une porte composée d'interrupteurs pourra donc être auto régénératrice. Remarquons que si la porte n'est composée que d'interrupteurs, il n'a pas de "charge" à proprement parler. Dans ce cas, l'assortiment des commandes doit être capable, (quelle que soit la combinaison) de fermer un chemin et un seul, soit de la sortie vers la masse, l'état de sortie vaut alors 0, soit de la sortie vers la source de tension, l'état vaut alors 1.

5-1-3 Fonction de régénération

La cascaderité à grande échelle des portes logiques passe par une régénération de la quantité des signaux à chaque étage. Soit un signal de sortie interprété comme un 1 logique. Ce signal doit être appliqué sur une ou plusieurs entrées sans incertitude d'interprétation. Or, le bruit ambiant se traduira forcément par un certain étalement de la plage des tensions possibles (Figure 5-4).

Il faut donc que la plage d'interprétation d'une entrée soit plus grande que la plage de sortie, et la fonction de régénération consistera en une reconcentration du signal de sortie pour une plage d'entrée donnée.

Le morceau de caractéristique qui mettra en correspondance cette plage d'entrée avec cette plage de sortie, doit donc être de gain inférieur à 1 et même aussi faible que possible. La caractéristique globale doit malgré tout rester alignée sur une droite de pente 1 (ou -1 dans le cas inverseur) pour qu'une plage de sortie soit centrée par rapport à la plage d'entrée correspondante. Elle ressemblera donc par exemple à la courbe de la figure 5-4b et sera composée de 2 plateaux aussi horizontaux que possible, fatalement reliés par une zone de pente supérieure à 1 en valeur absolue (zone de gain). Sur ce dessin, on a de plus une représentation graphique de la marge de bruit en tension, c'est à dire de l'amplitude du bruit supportable sans risque de détérioration de l'information; cette marge de bruit vaut la moitié de la différence entre les plages d'entrée et de sortie. Nous avons déjà vu une telle caractéristique à propos des montages de base à transistor, par exemple (Figure 5-5) avec le montage amplificateur à émetteur commun fonctionnant en grands signaux (de 0 V à la tension d'alimentation V_{CC}). De part et d'autre d'une zone linéaire de gain négatif, les modes de blocage et saturation introduisent des plateaux tout à fait utilisables pour "régénérer" les signaux logiques. Ce montage très simple est utilisé dans les logiques MOS. Le principal inconvénient en logique bipolaire est que l'un des états correspond à un mode saturé du transistor,

or nous avons vu qu'à cet état correspondait une certaine lenteur d'évolution liée au temps de recouvrement de la charge stockée dans la base. On peut d'ailleurs améliorer le fonctionnement en détournant la charge de saturation dans une diode Schottky (famille TTL-S).

Dans le montage collecteur commun, (Figure 5-6a), si la tension d'entrée reste comprise entre masse et V_{CC} , le transistor ne peut plus se saturer puisque V_{bc} ne peut devenir positive. Cependant la caractéristique ne présente plus qu'une non linéarité et un plateau.

Le montage suivant (Figure 5-6b) est appelé déphaseur car il fournit dans certaines conditions deux signaux en opposition de phase à son collecteur

et à son émetteur pendant une partie de sa caractéristique. Celle-ci globalement est assez intéressante puisqu'elle présente 2 coudes mais la plage 3 n'est malheureusement pas horizontale et correspond à nouveau à une plage de saturation.

Le schéma de la figure 5-7 où l'on couple 2 transistors par l'émetteur doit pouvoir convenir.

Pour $V_e < 0$, la tension des émetteurs se stabilise à $-V_\delta = -0,6 \text{ V}$: tension de diode passante. Un courant $I \approx (V_{cc} + V_{bb}) / (R_1 + R_2)$ traverse le deuxième transistor alors en régime linéaire. Le premier transistor est donc bloqué. V_s est constant et vaut $V_{cc} - R_1 \cdot (V_{cc} + V_{bb}) / (R_1 + R_2)$ positif si $R_1 / R_2 < V_{cc} / V_{bb}$ (condition de régime linéaire). De l'autre côté de la caractéristique, si $V_e > 0$, le courant qui traverse R_1 vaut alors 0 et $V_s = V_{cc}$, également constant.

Tant que $V_e < V_{cc}$, le premier transistor est en mode linéaire. V_s évolue continuellement entre ces 2 plateaux quand V_e passe de $-5.V_\delta$ à $+5.V_\delta$. On a cette fois une caractéristique à 2 plateaux reliés par une zone de gain : $\langle G \rangle = R_1 \cdot (V_{cc} + V_{bb}) / (10.V_\delta \cdot (R_1 + R_2))$ sans qu'un seul transistor entre en mode de saturation.

Nous verrons que ce montage un peu plus compliqué il est vrai, est à la base de la logique ECL (emitter coupled logic).

5-2 Etude de l'inverseur

5-2-1 Caractéristique statique de l'inverseur NMOS

Nous prendrons tout d'abord le cas de l'inverseur NMOS uniquement constitué de transistors à canal N : un transistor **"normally off"** sert de transistor **"Signal"** et un transistor **"normally on"**, (c'est à dire déjà conducteur lorsque $V_{gs} = 0$) est branché en dipôle de charge et convertit en fait le courant issu du transistor en un signal de tension. Rappelons les équations du transistor NMOS :

$$I_{ds} = 0$$

$$I_{ds} = k \cdot (W/L) \cdot V_{ds} \cdot (V_{gs} - V_p - V_{ds}/2)$$

$$I_{ds} = (k/2) \cdot (W/L) \cdot (V_{gs} - V_p)^2$$

$$\text{si } V_{gs} < V_p$$

$$\text{si } (V_{gs} - V_p) > V_{ds} > 0$$

$$\text{si } V_{ds} > (V_{gs} - V_p) > 0$$

avec $V_p = V_{p1} > 0$ pour le transistor signal **"normally off"**

et $V_p = V_{p2} < 0$ pour le transistor de charge **"normally on"**.

La charge non linéaire a pour caractéristique la courbe en trait gras (Figure 5-8). Les points de fonctionnement pour différentes valeurs d'entrée sont données graphiquement par les intersections de cette courbe de charge avec le réseau de fonctionnement du transistor Signal.

Les différentes valeurs de $V_s(V_e)$ peuvent être reportées sur la caractéristique de transfert qui présente effectivement la forme d'un inverseur régénérateur alimenté sous 5 V. Les tensions des états logiques en sortie sont :

$V_1 = V_{cc}$ et $V_0 = (V_{p2})^2 / (2 \cdot \gamma \cdot (V_{cc} - V_{p1}))$ si on appelle γ le rapport $(W, L)_s / (W, L)_{ch}$. On définit également la tension de seuil comme la valeur d'entrée pour laquelle la caractéristique a la plus forte pente. Elle correspond au cas où les 2 transistors sont simultanément en mode source de courant : $V_{seuil} = V_{p1} + |V_{p2}| / (\gamma^{1/2})$. Classiquement $V_{p1} = +1$ V, $V_{p2} = -2$ V, si $\gamma = 2$, $V_{seuil} = 2,4$ V $\cong V_{cc}/2$.

Dans ce modèle simplifié, la tension de sortie présente alors une indétermination : $V_s \in [(V_{seuil} - V_{p1}), (V_{cc} + V_{p2})]$; pratiquement, V_s restera proche de V_{seuil} .

Les marges de bruit en tension sont clairement visibles et sont en général un peu plus grandes pour l'état de sortie "0" que pour l'état "1". Notons pour finir qu'en logique NMOS, l'état "0" n'est pas très bien défini par la technologie puisqu'il dépend à la fois de cette dernière et de la géométrie des transistors, et également que l'état "0" consomme de la puissance en permanence puisqu'un courant égal à I_c traverse le dispositif. Ces deux dernières remarques constituent le grand handicap de la logique NMOS par rapport à la logique CMOS que nous allons voir maintenant.

5-2-2 Caractéristique statique de l'inverseur CMOS

Nous allons d'ailleurs étudier le comportement statique de l'inverseur CMOS composé de 2 transistors "normally off", n et p. Rappelons que les équations du transistor p sont données selon la convention de signe de la figure 5-9 par :

$$\begin{aligned} I_{d's'} &= 0 & \text{si } V_{g's'} > V_{p'} \\ I_{d's'} &= k_p \cdot (W/L) \cdot V_{d's'} \cdot (V_{g's'} - V_{p'} - V_{d's'}/2) & \text{si } (V_{g's'} - V_{p'}) \leq V_{d's'} \leq 0 \\ I_{d's'} &= (k_p/2) \cdot (W/L) \cdot (V_{g's'} - V_{p'})^2 & \text{si } V_{d's'} \leq (V_{g's'} - V_{p'}) \leq 0 \end{aligned}$$

avec $V_p = V_{pp} < 0$ pour un transistor "normally off".

La commutation de cet inverseur est un peu plus difficile à suivre car lorsque V_e varie, la caractéristique de charge évolue en même temps que la caractéristique du transistor inférieur. Par exemple, partant de $V_e = 0$:

(T_2 passant, T_1 coupé donc $V_s = 5\text{ V}$ et $I_{DS} = 0$), si V_e devient supérieur à V_{pn} , le transistor n commence à conduire. Le point de fonctionnement passe de A à B puis à C, D et enfin E. Pour les états initiaux et finaux le courant I_{ds} est nul, les états logiques propres sont bien définis :

($V_{0''} = 0\text{ V}$, $V_{1''} = V_{cc}$) et ne consomment aucune énergie. Seule la phase transitoire de commutation demande un courant à travers le dispositif.

Globalement, la caractéristique de transfert est de meilleure qualité que pour le NMOS. Si on définit le paramètre $\alpha = [(k_n \cdot (W/L)_n) / (k_p \cdot (W/L)_p)]^{1/2}$

la tension de seuil (tension d'entrée mettant les 2 transistors en mode source de courant) vaut : $V_{seuil} = (V_{cc} + V_{pp} + \alpha \cdot V_{pn}) / (1 + \alpha)$.

Pour $(W/L)_n = 1$ et $(W/L)_p = 3/2$, $k_n = 30\text{ mA/V}^2$, $k_p = 12\text{ mA/V}^2$,
 $V_{pn} = 0,6\text{ V}$, $V_{pp} = -0,5\text{ V}$: $\alpha \approx 1,2$ et $V_{seuil} \approx 2,2\text{ V}$.

5-2-3 Fonctionnement dynamique de l'inverseur NMOS.

La commande d'une porte revient à charger ou décharger la capacité de grille de son transistor signal et nous avons déjà vu que pour un transistor (Chapître 4), sur charge capacitive, la commutation de courant précède dans tous les cas la commutation de tension. On peut donc étudier, de façon simplifiée, le comportement dynamique de l'inverseur dans cette hypothèse.

Soit le schéma et le signal d'entrée de la figure 5-10. On suppose en outre que les portes qui suivent sont dimensionnées de telle sorte que :

$$V_{seuil} = V_{cc}/2.$$

Le temps de retard introduit par cet inverseur dans la transmission d'un front est donc le temps nécessaire au signal de sortie pour franchir cette tension de seuil.

Partant du point de fonctionnement **B** de la figure 5-10, l'évolution rapide de V_e vers zéro annule le courant I_{ds} qui traversait le dispositif. Le courant I_c n'est plus absorbé par le transistor de signal et ne peut que charger la capacité de sortie. Pendant cette charge le courant est en première approximation quasi-constant (source de courant saturable), donc V_s évolue linéairement dans le temps de $V_{(0)}$ vers $V_{(1)}$ en passant bien sur par V_{seuil} (parcours **B**, **B'**, **B''**, **A**). Le retard à la montée est donc de :

$$t_{on} = (V_{seuil} - V_{(0)}) \cdot (C_s / I_c) \# (V_{cc}/2) \cdot (C_s / I_c)$$

avec $I_c = (k/2) \cdot (W/L)_c \cdot V_{p2}^2$

Passé le seuil, la montée est moins linéaire, mais cela n'intervient quasiment plus, puisque globalement le front est déjà "transmis" (dans le cas de commutations rapprochées, si l'on n'a pas le temps d'atteindre les états d'équilibre, l'amplitude du signal de sortie diminue et le temps de transition également). Remarquons tout de même que la position limite **A** n'est atteinte à courant nul qu'un certain temps après et qu'à ce point de fonctionnement, aucune puissance n'est plus consommée.

Au front symétrique, la commutation "bloqué/passant" du transistor signal est rapide en courant mais puisque le condensateur de sortie assure la continuité de la tension, on évolue sur la caractéristique, du point **A** au point **A'**. Le courant qui traverse le transistor signal est représenté sur le graphique de la figure 5-10 par la longueur **AA'**. Le courant I_c est pour l'instant toujours nul. Un courant négatif égal à $-I_{ds}$ décharge donc la capacité de sortie, qui voit sa tension V_s diminuer. En modélisant de façon très schématique les caractéristiques par les formes rectangulaires en pointillé (I_{ds} constant et I_c constant) on donne à ce courant de décharge une valeur constante $I_{dc} = I_{ds} - I_c$. La tension V_s évolue donc linéairement de V_{cc} vers $V_{(0)}$ et franchit le seuil au bout d'un temps t_{off} :

$$t_{off} = (V_{cc} - V_{seuil}) \cdot (C_s / (I_{ds} - I_c)) \# (V_{cc}/2) \cdot (C_s / (I_{ds} - I_c))$$

avec $I_{ds} = (k/2) \cdot (W/L)_c \cdot (V_{cc} - V_{p1})^2$

En faisant ainsi, on simplifie la réalité car en fait I_{ds} n'est pas constant et passée une certaine valeur il décroît. L'évolution est alors très approximativement exponentielle dans le temps mais on peut faire le même type de remarque que pour t_{on} , ceci ne se produit que pour la fin de l'évolution en gros au delà de V_{seuil} . Le front est donc déjà quasi-transmis, et l'erreur d'évaluation ne sera pas grande.

Quelques remarques.

* Le front de montée ne dépend que du transistor de charge (I_c) alors que la rapidité du front de descente dépend "a contrario" du transistor signal (I_{ds})

et du transistor de charge ($-I_c$). Pour que la tension de seuil soit aux environs de la mi-plage de tension, nous avons vu qu'il fallait choisir un transistor de signal environ 2 fois plus large que le transistor de charge. Dans cette géométrie, I_{ds} est environ six fois plus grand que I_c . Pour un inverseur NMOS le front de descente sera donc habituellement 4 à 5 fois plus rapide que le front de montée. Un ordre de grandeur : pour un inverseur avec $\gamma = 2$ alimenté sous 5V et chargeant une capacité de 0,2 pF, t_{off} vaudra classiquement 3 ns et t_{on} 15 ns.

* Portes logiques de base.

Pour le fonctionnement d'un dispositif logique, il est essentiel que les tensions de seuil des différentes portes qui le constituent soient aussi identiques que possible afin d'éviter les interprétations discordantes d'un même signal en différents endroits d'utilisation. Pour le cas du NMOS, on a vu qu'un bon inverseur avait un rapport γ des (W/L) aux environs de 2 et que dans ce cas $V_{o0} < 0,25V$ (proche de zéro) et $V_{seuil} \approx 2,5V (=V_{cc}/2)$. Notons également que la surface active de cette porte est grande comme 3 si l'on choisit toutes les dimensions en taille minimale.

Nous verrons en détail par ailleurs que construire une porte **NOR** se fait simplement en NMOS, en ajoutant sur le côté un deuxième transistor signal de même dimension que le premier (Figure 5-11). Le fonctionnement en porte NOR se vérifie simplement car il suffit qu'une des entrées vaille 1 pour que le transistor correspondant conduise et donc que la sortie vaille 0. Etant donné le dimensionnement des transistors, la tension de seuil de la porte commandée par une seule entrée est la même que celle de l'inverseur qui nous a servi à la construire (puisque dans ce cas l'autre transistor signal n'intervient pas).

Cependant, si par hasard les deux entrées e_1 et e_2 commutent en même temps, les deux transistors de signal agiraient en parallèle et pourraient

être confondus en un seul deux fois plus large. La porte fonctionnerait donc avec un facteur γ apparemment doublé. Elle aurait en conséquence une tension de seuil plus basse.

Avec les valeurs typiques déjà utilisées :

$$V_{\text{seuil}} - V_{\text{seuil}}' \approx -0,2 |V_{p2}| \approx -0,4V \quad (\approx 15\%)$$

pour un **NOR** à 3 ou 4 entrées l'effet serait encore plus sensible, puisque 4 entrées commutant en même temps donnerait un γ apparent quadruple (dans ce cas la variation de seuil atteint 25 %).

Remarquons que cet effet est inévitable et qu'il en résultera une modulation du temps de traversée des portes, au gré des cooccurrences de signaux. Un autre effet plus dramatique peut se produire, lorsqu'une information est distribuée en plusieurs endroits. Elle peut être traitée et mémorisée de façon contradictoire par les systèmes "horlogés", qui ne prennent en compte la valeur des variables qu'à des instants très précis. Pour continuer l'évaluation de coût en surface relative, remarquons qu'en taille minimale, la porte NOR a une surface active grande comme 5.

Pour obtenir un NAND à partir d'un inverseur, nous verrons également que l'on peut ajouter un 2^{ème} transistor de signal (normally off) mais en série avec le 1^{er}. On vérifie dans ce cas, qu'il suffit que l'une des entrées vaille 0 pour que le chemin de la sortie vers la masse soit coupé et donc que celle-ci soit au potentiel V_{cc} . Pour qu'elle soit aussi rapide que l'inverseur à la commutation montante en sortie, il suffit que le transistor de charge soit de même taille que pour ce dernier. Pour la commutation descendante, les 2 transistors de signal du NAND conduisent en série. Il faut donc que pour chacun (W/L) soit le double du cas de l'inverseur ($(W,L)_s = 4$). Dans ce cas, une commutation de 0 vers 1 appliquée aux deux entrées simultanément se traduira par un comportement statique (valeur de V_{seuil}) et dynamique (t_{off}) identique à l'inverseur de référence. Cela entraîne d'ailleurs que la commutation où l'une des entrées passe de 0 à 1 alors que l'autre entrée est déjà à 1 entraîne un abaissement de la position de seuil. Il suffit pour s'en convaincre de placer les 2 entrées simultanément à V_{seuil} (de l'inverseur), on est alors effectivement au seuil. Si l'une des entrées est ensuite placée à 1, donc si le transistor correspondant est rendu plus conducteur, il faut bien baisser le potentiel de l'autre entrée (donc avoir un V_{seuil} plus bas) pour que la sortie reste en position de seuil...

Quantitativement, l'évaluation est plus complexe que pour le NOR car les transistors de signal n'ont pas le même potentiel de canal par rapport au substrat. Les tensions V_{pi} de création de canal sont dans ce cas différentes pour les deux transistors. Remarquons simplement pour finir qu'à performance équivalente, la surface d'une porte NAND est grande comme 9, presque le double d'un NOR alors que le "potentiel de traitement" est le même... La logique NMOS favorise donc largement l'emploi du NOR.

5-3 De l'étude électrique au dessin.

5-3-1 Etapes de fabrication d'un circuit MOS.

Les étapes de fabrication ou "process" sont en perpétuelle évolution. Nous décrirons ici une technologie de base, classique, encore utilisée au niveau industriel : technologie humide (attaque chimique) et haute température (diffusion d'impuretés à des températures proches de la température de fusion du silicium).

Le silicium étiré et purifié, de type p^- (peu dopé) est coupé en tranches d'une fraction de millimètre d'épaisseur. Nettoyé et aplani à mieux que $0,1\mu$ le silicium s'autoprotège par une couche d'oxyde isolant, étanche dès quelques microns.

Les actions de micro-métallurgie que la **tranche** va subir seront géographiquement différenciées (Figure 5-12a) par une technique de microphotolithogravure (à moins que cela ne soit lithophotomicrogravure) qui utilise des masques de chrome sur verre permettant sur la tranche entière d'insoler une résine photosensible déposée sur l'oxyde de silicium selon les différents motifs à réaliser (selon une technique de pochoir comme en lithographie). La résine insolée n'a pas à noircir comme pour une photo, mais à devenir soluble à tel solvant. Après élimination des parties exposées à travers un premier masque, l'oxyde se trouve donc mis à nu à certains endroits. Il peut donc être **gravé** par un agent (liquide ou gazeux) capable d'attaquer l'oxyde. Cette attaque est lente et est stoppée dès qu'on atteint le silicium.

Après un traitement par **implantation ionique d'impuretés** (bombardement par des ions lents) destiné à ajuster la valeur de la "tension de création de canal" (on différencie à cette étape les transistors de signal des transistors de charge par un masque n^2), une étape d'**oxydation** contrôlée en phase gazeuse permet de faire pousser, à partir du silicium, un oxyde mince de très bonne qualité puisqu'il devient étanche dès 0.08μ d'épaisseur (entre 100 et 200 couches atomiques).

Cet **oxyde mince** va permettre de développer des "champs de création de canal" forts à potentiel de grille faible. L'étape suivante est également non différenciée (pas de masque) et consiste en une **pulvérisation atomique** de silicium sous vide. Ce silicium ne peut s'assembler en monocristal puisqu'il pousse sur un oxyde de pas cristallin très supérieur. Il constituera un **silicium polycristallin** qui n'aura quasi-pas de propriétés semiconductrices. Mais correctement dopé, il peut très correctement servir de conducteur réfractaire c'est à dire supportant sans dommage les hautes températures du reste du traitement. Un troisième masque permet de découvrir et graver le Si-poly (comme pour un circuit imprimé) et un quatrième d'ouvrir dans l'oxyde des fenêtres correspondant aux sources et drains des transistors.

Une étape de **diffusion** d'arsenic atomique à haute température permet de produire dans ces fenêtres des "bulles" de semiconducteur dopées n^+ et il faut remarquer qu'à cette étape, l'îlot de polysilicium isolé par l'oxyde mince, sert d'écran à la diffusion à la verticale du canal. Une oxydation non différenciée permet de recouvrir le tout. Un cinquième niveau de masque permet d'ouvrir des contacts avant pulvérisation atomique d'aluminium, qui gravé par un sixième masque permet d'établir un 2^{ème} niveau de connexion (un peu comme pour les circuits imprimés). Le "process" NMOS est terminé, à la passivation de protection près. La figure 5-12b montre le dispositif obtenu : un transistor à canal N, normalement-off. L'application d'un potentiel de grille supérieur à V_p crée un canal et des lignes de courants peuvent s'établir du drain à la source (mouvement d'électrons de la source vers le drain). L'interrupteur est alors passant.

Un transistor MOS est donc un dispositif qui demande pour sa construction peu de niveaux de masque et sa connectique peut être assurée par les 3 principaux niveaux technologiques : la diffusion n^+ dans la masse du substrat, un niveau de polysilicium et un niveau métallique (il existe des variantes à 2 poly, et 2 ou 3 métaux). Signalons pour finir une propriété très intéressante : un transistor NMOS passant est en fait un dispositif

unipolaire de type **n**, polarisé positivement dans un substrat **p**. La **ZCE** qui se développe à l'interface avec ce substrat isole naturellement le dispositif du substrat donc isole chaque dispositif des autres construits à côté, dans le même substrat.

5-3-2 Etapes de fabrication d'un transistor bipolaire (npn)

Le "process" bipolaire utilise un certain nombre des étapes déjà recensées pour le NMOS (Figure 5-13) : ouverture d'oxyde, diffusion **n⁺** (masque n° 1) dans un substrat **p⁻**, mais il se différencie ensuite. Après élimination de tout l'oxyde, on procède à une étape de croissance d'une couche de silicium **n⁻** par épitaxie.

L'épitaxie ressemble à la pulvérisation atomique, mais comme le dépôt se fait sur du silicium, il y a reprise du pas stœchiométrique et construction d'un monocristal en parfaite continuité avec le substrat. Une telle couche possède de bonnes propriétés semiconductrices.

Remarquons que la diffusion **n⁺** forme maintenant une zone "enterrée", qui d'ailleurs a partiellement diffusé dans la couche épitaxiée. Un masque n°2 permet d'ouvrir l'oxyde et une diffusion **p⁻** dans la couche **n⁻** constituera l'espace de base. Nouvelle oxydation puis ouverture de la zone collecteur plus émetteur (masque n°3). Une diffusion **n⁺** crée alors le ou les émetteurs (TTL) dans la zone de base et commence à établir le contact de collecteur avec la couche **n⁺** enterrée.

Un masque n°4 ne découvrant que le collecteur permet de faire agir une dernière diffusion **n⁺** qui devient suffisamment profonde et ramène en surface par une zone **n⁺** fortement conductrice, la zone de collecteur qui se trouve en profondeur.

Si le composant "transistor" est terminé, il faut encore ouvrir les contacts et graver le 1^{er} métal (masques 5 et 6) puis en général réaliser un 2^{ème} niveau de métallisation (masques 7 et 8). Cette fois le transistor est complet, mais il fuit car il n'est pas auto-isolé comme le transistor NMOS, par ses propres ZCE. Un niveau de masque supplémentaire est donc nécessaire et permet dans les premières étapes de la fabrication de construire des caissons d'isolation (ici en p^+ mais ils peuvent être en oxyde dans un procédé LOCOS). Un dixième masque servira pour finir à ouvrir les contacts de dépassivation.

En résumé, un transistor bipolaire est tout intégré dans la couche épitaxiée, à la verticale de la diffusion d'émetteur. La circuiterie en surface est assurée par deux niveaux de connexion métallique. Un tel transistor est efficace et de bonne qualité (très bonne pente interne, pas de défauts de surface) mais il est gros (caisson d'isolation), puissant, rapide et consommateur d'énergie. Cette consommation d'énergie est d'ailleurs surtout due au fait que contrairement au transistor MOS, le transistor bipolaire demande un courant de commande permanent pour établir un courant de sortie permanent ($I_c = \beta \cdot I_b$).

5-3-3 Règles de dessin.

Les finesses technologiques ont des limites (anisotropie des traitements, résolution optique et diffraction ...) et si l'on cherche à faire des transistors et des fils les plus petits possible afin de diminuer les capacités parasites et d'augmenter la rapidité ou la densité d'intégration, on ne peut descendre en dessous de certaines largeurs de bandes, certains espacements intra et intermasque sans risquer la coupure ou le court circuit. L'ensemble des contraintes de dimensionnement constituent les "**règles de dessin**" qui, pour chaque niveau technologique, donnent les valeurs de largeur minimale, espacement minimal, recouvrement (ou superposition de niveaux) et enfin débordement (des niveaux les uns par rapport aux autres). Ces règles tiennent compte de chaque cas particulier

de forme, de cooccurrence de niveaux et constituant, pour une technologie donnée, un document d'une centaine de page précisant au dixième de micron près la distance minimum entre 2 diffusions, entre un contact et un transistor...

Vers les années 80 **Mead et Conway** proposent une compilation simplifiée et unifiée en **lambda** (λ) qui tient sur 1 à 2 pages.

Pour une technologie donnée, le λ constitue le quantum de longueur "diviseur commun" de toutes les règles ou de leurs règles majorantes proches. Ainsi toute distance peut s'exprimer par un nombre simple et entier de λ . Sur la figure 5-14, les règles de la technologie NMOS, 1 poly, 1 métal, sont résumées en une seule page. Les dessins en λ sont bien plus commodes à réaliser et ils bénéficient d'un certain avantage de mise à l'échelle automatique.

En effet, si tel ou tel point limitant la fabrication vient à faire des progrès, on pourra en général faire "maigrir" le λ et une cellule pourra suivre certains progrès technologiques sans avoir à être redessinée (il faudra quand même recaractériser la cellule).

5-3-4 Dessin d'un inverseur NMOS

Pour illustrer ce paragraphe nous terminerons par un exemple de dessin : l'inverseur élémentaire en NMOS. S'il était en couleur conventionnelle, l'aluminium serait bleu, la diffusion n^+ vert, le poly rouge, l'implantation jaune (transistors de charge normalement on, les contacts sous l'aspect de croix noires).

5-4 Panorama des différentes familles technologiques.

5-4-1 Briques de base.

Un circuit logique est composé de transistors, diodes, résistances, condensateurs et fils de connexion. Selon les procédés technologiques les différents éléments seront plus ou moins faciles à réaliser. Une résistance peut être obtenue par diffusion d'un caisson par exemple dopé **p**- dans un substrat **n**. Sa résistance vaut $\rho \cdot L / (W \cdot e)$ si **L** désigne la longueur, **W** la largeur et **e** l'épaisseur de ce caisson. ρ/e apparaît comme une constante technologique indépendante du dessinateur; c'est en fait la résistance d'un motif carré indépendant de la taille qu'on appelle (**R-carré**). Chaque niveau technologique conducteur a un **R-carré** et comme on peut difficilement faire varier le rapport **W/L** en dehors de 0,1 à 10, chaque niveau sera caractéristique d'une gamme de valeur de résistance. Les diffusions **n**⁺, **p**⁺ et le polysilicium ont un **R-carré** d'une dizaine d'ohms. Ils serviront de résistance de faible valeur en bipolaire pour le couplage d'émetteur et de conducteur en MOS (les courants sont en moyenne plus faibles). La diffusion **p**⁻ (de base) a une résistance carré de quelques centaines d'ohms. Elle peut donc constituer des résistances de charge ou de polarisation en bipolaire. Le métal enfin a un **R-carré** de quelques centièmes d'Ohm, il constituera dans tous les cas de bons conducteurs (Bipolaire et MOS).

Les condensateurs peuvent être réalisés en Bipolaire comme en MOS par 2 conducteurs séparés par un isolant ; par exemple métal/poly. L'épaisseur d'oxyde et son indice conduisent à des capacités surfaciques de l'ordre de $0,2 \cdot 10^{-4} \text{ pF}/\mu^2$. La capacité de transition (**ZCE**) des diffusions (**n**⁺ ou **p**⁺) sur le substrat a une valeur un peu plus élevée ($0,5 \cdot 10^{-4} \text{ pF}/\mu^2$). Les plus "grosses" valeurs de capacités sont obtenues en MOS par les condensateurs de grille-canal grâce à la finesse de l'oxyde ($2 \cdot 10^{-4} \text{ pF}/\mu^2$).

En plus des éléments "voulus", chaque modèle de composant est naturellement complexifié par des éléments parasites dont il faut tenir compte (Figure 5-16).

Une résistance est entourée de capacités parasites. Chaque conducteur est constitué de résistances faibles en série, en parallèle sur des condensateurs répartis. Certaines de ces capacités interviennent de façon néfaste (capacité Miller de contre réaction, ralentissement du fonctionnement par la capacité des connexions), d'autres peuvent être utiles en certaines circonstances (effet mémoire des capacités d'entrée et logique dynamique).

En résumé, différentes technologies sont ajustées à la réalisation du composant le plus complexe : le transistor et comme "effet de bord", elles permettent la réalisation et l'exploitation de composants supplémentaires. En bipolaire, les transistors **nnp** sont verticaux et de très bonne qualité; mais on peut réaliser en même temps des transistors **pnp** latéraux. Les courants mis en jeu sont de la dizaine de milliAmpère, les résistances de l'ordre du kiloOhm (diffusion de base), les capacités de l'ordre de la fraction de picoFarad. En conséquence la logique bipolaire sera plutôt rapide, consommatrice, utilisera des résistances de charge, les capacités parasites et de connexion seront plutôt faibles et ne ralentiront en interne que peu les performances intrinsèques des portes.

Pour la logique MOS, les transistors sont tous latéraux et peu efficaces. Les courants sont de quelques dizaines de microAmpère, il n'y a pas de résistances réalisables dans la bonne gamme de valeur et les capacités parasites sont très souvent non négligeables. La logique sera globalement moins rapide et très dépendante des capacités internes de liaison. A l'inverse, ces capacités pourront dans certains cas être suffisantes pour être utilisées en tant que composant fonctionnel (logique dynamique).

5-4-2 Logique TTL.

L'une des plus anciennes familles logiques est la TTL pour Transistor Transistor Logique. Créée par Texas Instruments, elle fait suite à la RTL, la DTL.....et utilise un transistor multi-émetteur, construit sur un "process" bipolaire à triple diffusion (Figure 5-17).

On peut retrouver dans le schéma électrique la structure de base de la porte "et" à diode; il faut donc compléter la cellule combinatoire par un Buffer de régénération construit avec 4 transistors et 4 résistances. Une porte Nand à 2 entrées est donc réalisée par une dizaine de composants élémentaires. Sa dimension est de l'ordre de $20\,000\ \mu^2$, la densité d'intégration est de l'ordre de la centaine de portes par circuit, les capacités parasites sont de l'ordre de la fraction de picoFarad. Une porte consomme quelques milliWatt pour une sortance de 10; les temps de commutation sont de quelques dizaines de nanosecondes, sous 5V d'alimentation les marges de bruit sont de l'ordre du Volt.

La logique TTL est une logique saturée : quelque soit l'état de sortie, certains transistors sont saturés et introduisent un délai de réaction de la porte pour son évolution. La TTL-S (pour Schottky) essaie d'y remédier en faisant du détournement de saturation. En effet, une diode Schottky réalisée par débordement du courant de base sur la zone de collecteur a une tension de mise en conduction très faible, de l'ordre de 0,2 à 0,3 Volt. En parallèle sur la diode base-collecteur du transistor, elle se mettra à conduire avant celle-ci et dérivera le courant de base.

Comme la tension base-collecteur interne au transistor ne pourra atteindre 0,6 V cette jonction ne pourra devenir "passante" et la base ne sera pas "injectée" de charges de saturation. Comme de plus dans les diodes Schottky les porteurs libres ont de très courtes durées de vie (quelques nanosecondes) , le transistor global, dit transistor Schottky, s'en trouvera accéléré à la commutation en gros d'un facteur 10. Le schéma de la figure 5-18 présente la structure complète d'un NAND TTL et d'un "Buffer

tristate" TTL-S.

Ce dernier est construit à partir d'un NAND et l'une des entrées, appelée Contrôle, est reliée par une diode au collecteur du premier transistor du Buffer. Si cette entrée contrôle vaut "1" (inactive), la porte est globalement un inverseur. Si elle vaut "0" base et collecteur du 1^{er} transistor de Buffer sont à "0", les bases des 2 transistors de sortie sont simultanément à "0", aucun de ces transistors ne conduit et la sortie est en "haute impédance". Rappelons que ce 3^{ème} état : H.I. est utilisé à l'interconnexion des portes en "Bus" et permet à un émetteur sélectionné de communiquer avec tel ou tel récepteur sans avoir à débrancher physiquement les autres émetteurs mis en état "tristate".

5-4-3 Porte I2L.

Une utilisation originale du transistor multi-émetteur est exploitée avec l'I2L. En prenant ce transistor, à l'envers, on peut considérer avoir des transistors "émetteur commun" en parallèle. Une simple diffusion P⁺ à une distance calibrée de la diffusion de base peut constituer un transistor pnp, "base à la masse" (fig. 5 - 19).

Ce dernier composant joue le rôle d'"injecteur" et permet de réaliser une conception en "logique des sorties". La logique des sorties est une logique de "et câblé" car la fonction combinatoire est obtenue par la simple interconnexion d'équipotentielles, la porte ayant un rôle réduit à la régénération et la distribution. Une telle porte n'a qu'une entrée et la "bufferisation" est obtenue par les interrupteurs collecteurs ouverts commandés en parallèle et il faut remarquer que dans ce cas, une sortie ne peut être "distribuée" ; il faudra autant de transistors de sortie que d'endroits où appliquer le signal résultant. En effet si l'entrée d'une porte vaut (a), sa sortie vaut (a et...) au gré des interconnexions (a signifie a-barre). On réalisera (a et b) en un noeud, (a et c) en un autre... On voit tout de suite que ces deux noeuds doivent être indépendants si on ne veut

pas réaliser une fonction unique (**a et b et c**). Cette logique des sorties apparait donc comme duale de la logique des entrées : les portes ont **une** entrée et **plusieurs** sorties.

Des sorties peuvent être "**interconnectées**" mais ne peuvent être "**distribuées**". A cette révision des habitudes près, cette logique construite sur le même transistor multi-émetteur que la TTL est une logique d'interrupteur, donc elle est autorégénératrice. Trois composants suffisent pour construire l'équivalent d'un Nand à 2 entrées. Cette logique est plus dense et moins consommatrice d'énergie. On atteint couramment quelques milliers (voire la dizaine de milliers) de portes par boîtier. L'un des premiers microprocesseurs 4 bits a été réalisé en I2L, le TMS 1000. Assez rapide, l'I2L reste malgré tout consommatrice d'énergie (100 μ W par porte). Elle a un regain d'intérêt avec les réseaux prédiffusés car sa structure standard en "logique des sorties" favorise la "préfabrication" des composants, laissant à l'interconnexion le soin de réaliser telle ou telle fonction.

5-4-4 La logique ECL.

La porte ECL est construite sur une paire différentielle (Figure 5-20)

Une tension de référence est appliquée sur l'un des côtés et pour réaliser un "ou" à 2 entrées, on double le transistor de l'autre côté. Le transistor relié à la référence sera non conducteur (et donc son collecteur sera à 1) dès que l'une des entrées (ou les deux) sera (seront) à 1. Un quatrième transistor recentre la tension de sortie dans la plage des tensions d'entrée. Avec les composants de polarisation, une porte est donc complexe comme une dizaine de composants. C'est équivalent à la TTL, mais ici tous les transistors sont ou bloqués ou en régime linéaire.

Réalisés en technique LOCOS pour diminuer la taille et les capacités, la logique ECL est la plus rapide des logiques silicium avec des temps de traversée de porte inférieurs à 200 picosecondes et des fréquences d'oscillation qui atteignent 4 gigaHertz. Les phénomènes de propagation ne se font pas encore sentir à l'intérieur des circuits (100 ps correspond à un peu plus d'un centimètre) mais sont cruciaux à l'extérieur; chaque sortie est adaptée à 50 Ω , chaque entrée à 500 Ω . Ceci, allié aux forts courants de commutation fait que la puissance consommée par porte vaut en moyenne, de quelques milliWatt à 50 milliWatt dans les cas extrêmes. C'est ce facteur de puissance qui limite d'ailleurs le taux d'intégration à quelques dizaines de portes pour les circuits les plus rapides.

5-4-5 Logique MOS.

L'inverseur en logique **NMOS** a déjà été présenté ainsi que la structure du **NOR** et du **NAND**. Nous n'en reparlerons ici que pour préciser ce qu'est une logique "par défaut", c'est à dire une logique où le réseau des transistors "signal" ne construit qu'une partie de la table de vérité, (ici les zéro, les "1" restants sont obtenus par défaut, grâce à un transistor de charge unique capable de charger à 1 le noeud de sortie, précisément s'il n'existe aucun chemin vers la masse). De telles portes sont très denses et de plus elles sont extensibles ; en effet nous donnons à titre d'exemple en figure 5-21 la structure de 2 portes, faciles à identifier et qui demandent jusqu'à une vingtaine de composants dans d'autres technologies. Remarquons également qu'en prolongeant la sortie et en installant de nouveaux chemins vers la masse, on peut compléter "à distance" la fonction réalisée.

Le CMOS par contre est une logique "totale" (Figure 5-22) car un réseau de transistors **n** "construit" les "0" de la table de vérité en créant un chemin vers la masse et un réseau dual de transistors **p** "construit" les "1" de façon complémentaire en établissant cette fois un chemin vers le + de l'alimentation. Et s'il peut exister des circonstances où il n'existe aucun

chemin (sortie en haute impédance), il ne doit pas en exister avec simultanément un chemin vers l'alimentation et un autre vers la masse (court-circuit d'alimentation). Un des avantages évidents de cette logique est qu'il n'existe jamais de chemin établi de l'alimentation vers la masse, il n'y a donc pas de courant permanent donc pas de puissance statique consommée. A l'inverse, chaque entrée doit commander 2 transistors (un n et un p).

A taille de transistor donnée, la puissance consommée à chaque commutation pour charger ou décharger la capacité de grille est double pour le CMOS par rapport au NMOS. Une porte CMOS est également plus complexe qu'une porte NMOS, pour N entrées il faut $2N$ transistors alors que $N+1$ suffisent en NMOS. La connectique est également plus complexe, tous ces facteurs contribuent à augmenter la charge moyenne d'une porte élémentaire et, en conséquence, la logique CMOS est, par certains côtés, intrinsèquement plus lente que la logique NMOS.

Un certain nombre de tentatives ont été faites pour simplifier le double réseau soit en faisant du "pseudo NMOS" (le transistor de charge des portes NMOS est réalisé par un transistor **p** unique long et peu large, dont la grille est reliée à la masse) ou de la logique dynamique à précharge (**CCMOS**, **Domino**...). Aucune de ces solutions n'est d'ailleurs pleinement satisfaisante car : soit on perd l'avantage de non consommation statique, soit on compromet les marges de bruit et la robustesse de fonctionnement (logique dynamique).

Le CMOS présente enfin une dernière propriété fâcheuse : le "**latch-up**" (Figure 5-23)

Les transistors à canal **p** sont réalisés directement dans le substrat **n⁻**, les transistors à canal **n** sont réalisés dans un caisson **p⁻** diffusé dans le substrat **n⁻**. Partant de l'alimentation, il existe donc un chemin vers la masse traversant 4 semiconducteurs **p⁺**, **n⁻**, **p⁻** (caisson) et **N⁺** (source de transistor **n**). Cette structure décomposable en 2 transistors bipolaires tête-bêche constitue un **Thyristor**.

Le thyristor est un dispositif à enclenchement (aussi appelé relais solide) qui présente la particularité de pouvoir être rendu passant par une commande et qui reste passant après cette commande, jusqu'à disparition totale du courant (par exemple par suppression de l'alimentation). Dans un circuit CMOS, cela se traduit par la mise en court-circuit de l'alimentation et l'endommagement du circuit (destruction des pistes d'alimentation par exemple). Le démarrage du "latch-up" est aléatoire, il va dépendre de la répartition des courants dans le substrat, de l'arrivée d'un photon ou d'un rayon γ ionisant... Cela explique la difficulté d'utilisation du CMOS dans le domaine militaire et les recherches faites sur les composants de type CMOS sur isolant (SOS, SOI...) qui suppriment totalement ce risque.